

三星3nmGAA工艺分析报告

作者:Kurnal

目录

- 1:w1000分析初步
- 2:CPU 面积分析
- 3:三星3GAP工艺分析
- 4:金属层分析
- 5:晶体管分析
- 6:密度估算与工艺评估

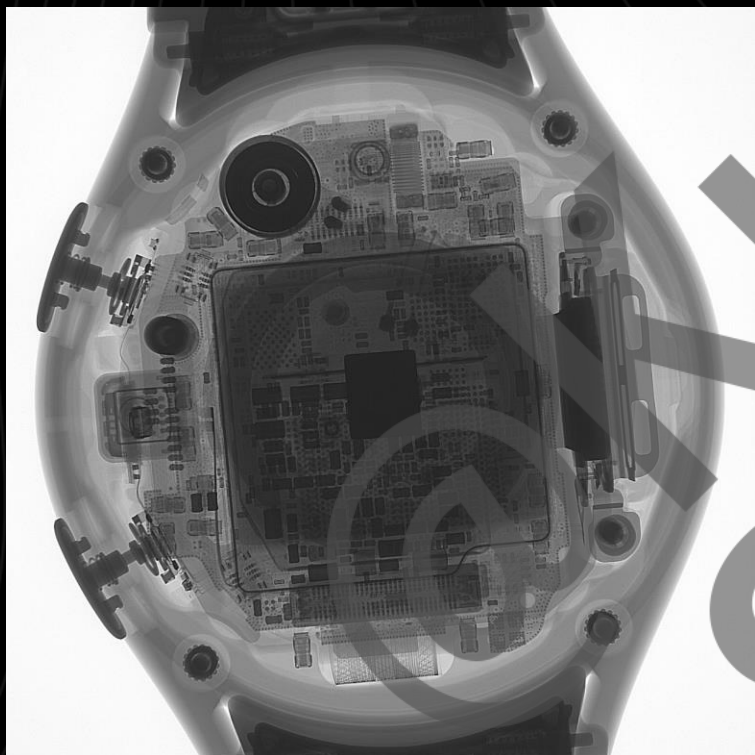
W1000分析

- 这次分析的是来自三星 Galaxy Watch7 的 三星Exynos W1000处理器，采用三星3GAP工艺
- 是全球第一个量产的GAA工艺的SOC芯片
- 之前有3GAE的工艺的ASIC(Micro BT M56S++)



W1000分析-拆解

- 先进行X-ray扫描与CT的重构
- 然后进行拆解



@Kurnal
仙铜半导体研究小团体

192.24 X 131.80 mm

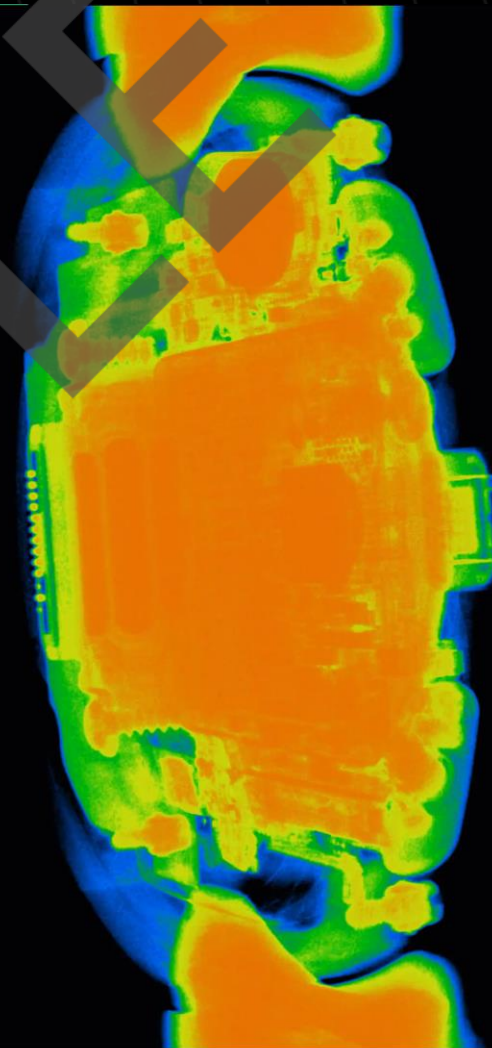
□□ □□□: 0 □□□: 0

□□ 1 / 1537

□□□: 0.0 °

□□□: 180.0 °

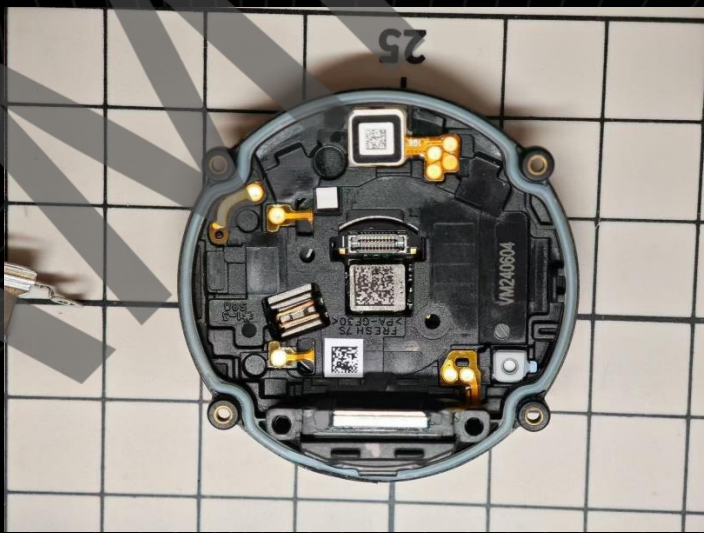
□□□: -0.0 °



@Kurnal
仙铜半导体研究小团体

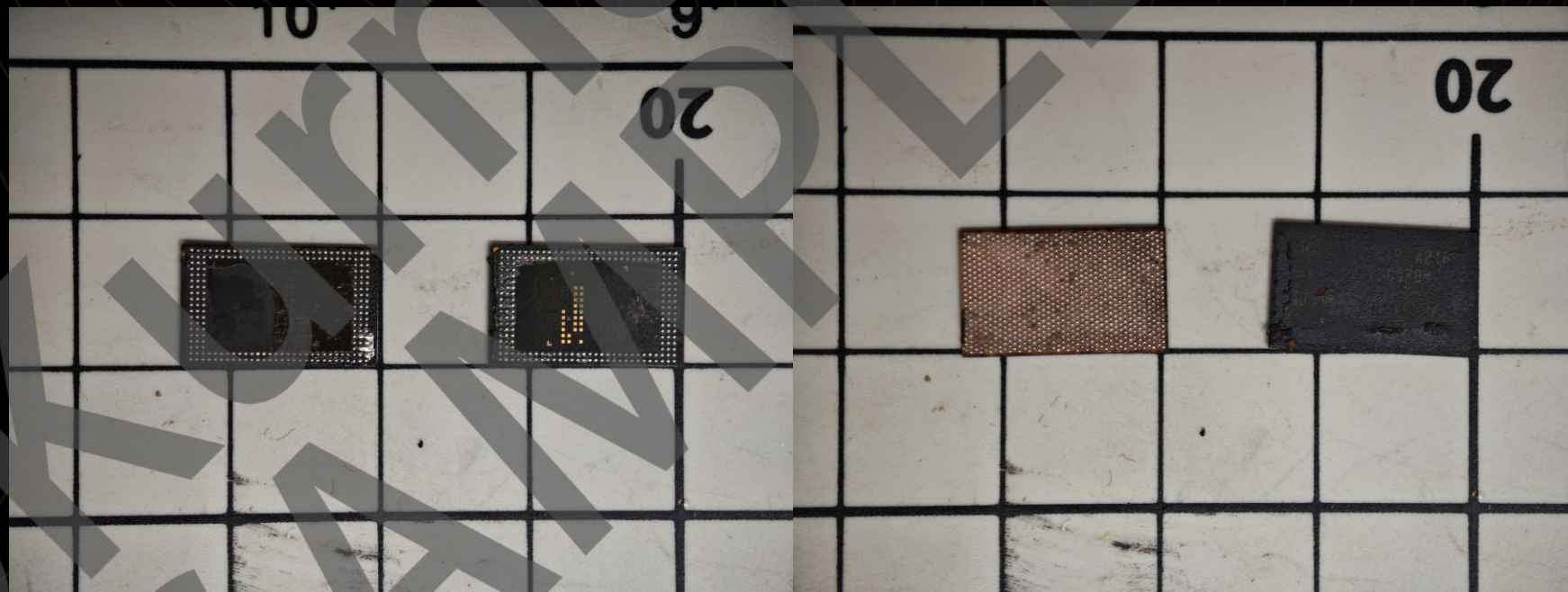
W1000分析-拆解

- 手表拆解



W1000分析-拆解

- 芯片拆解可得其为PoP封装 (Package on Package)



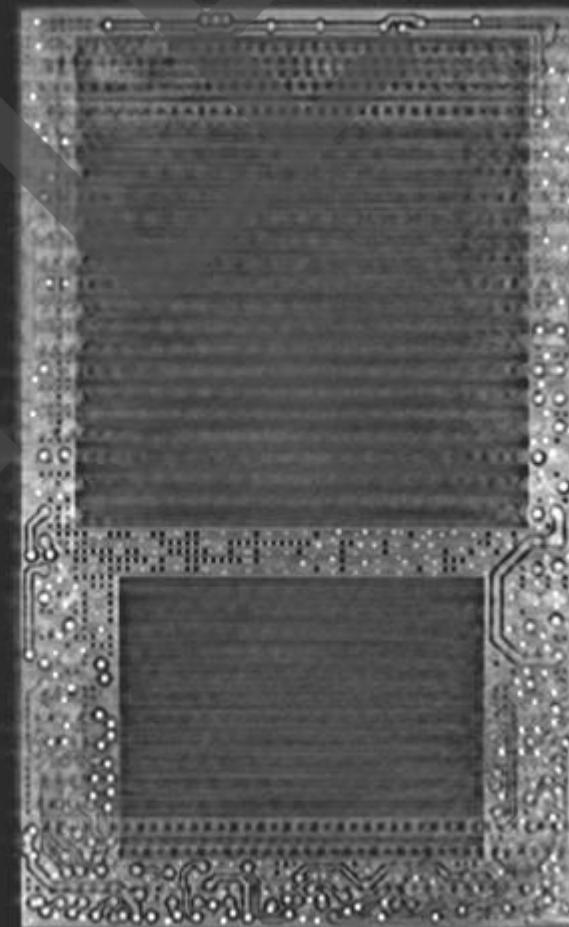
W1000分析-扫描

- Bump 重构可得 (右图)
- Package Size为8mm*13mm
- BGA904/BGA210



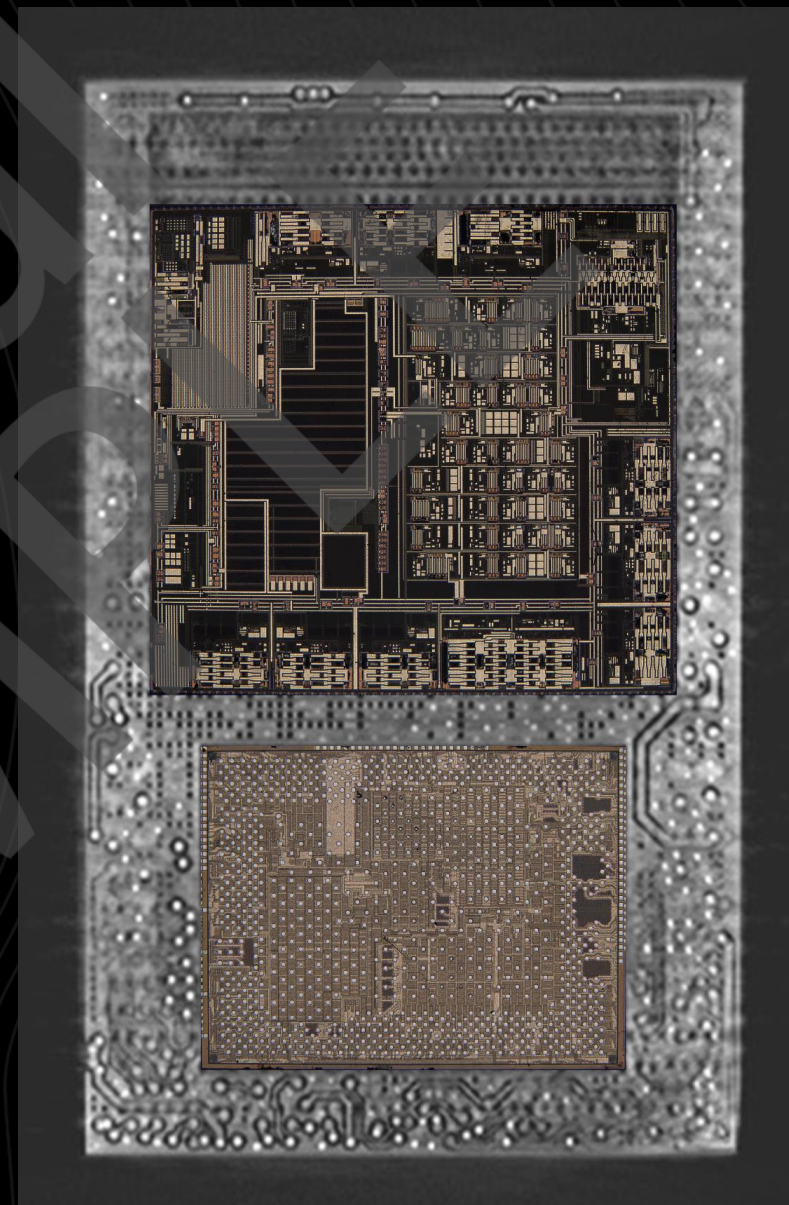
W1000分析-扫描

- 重新进行X-ray扫描
- 可以发现下Package 为2 Die in 1 Package



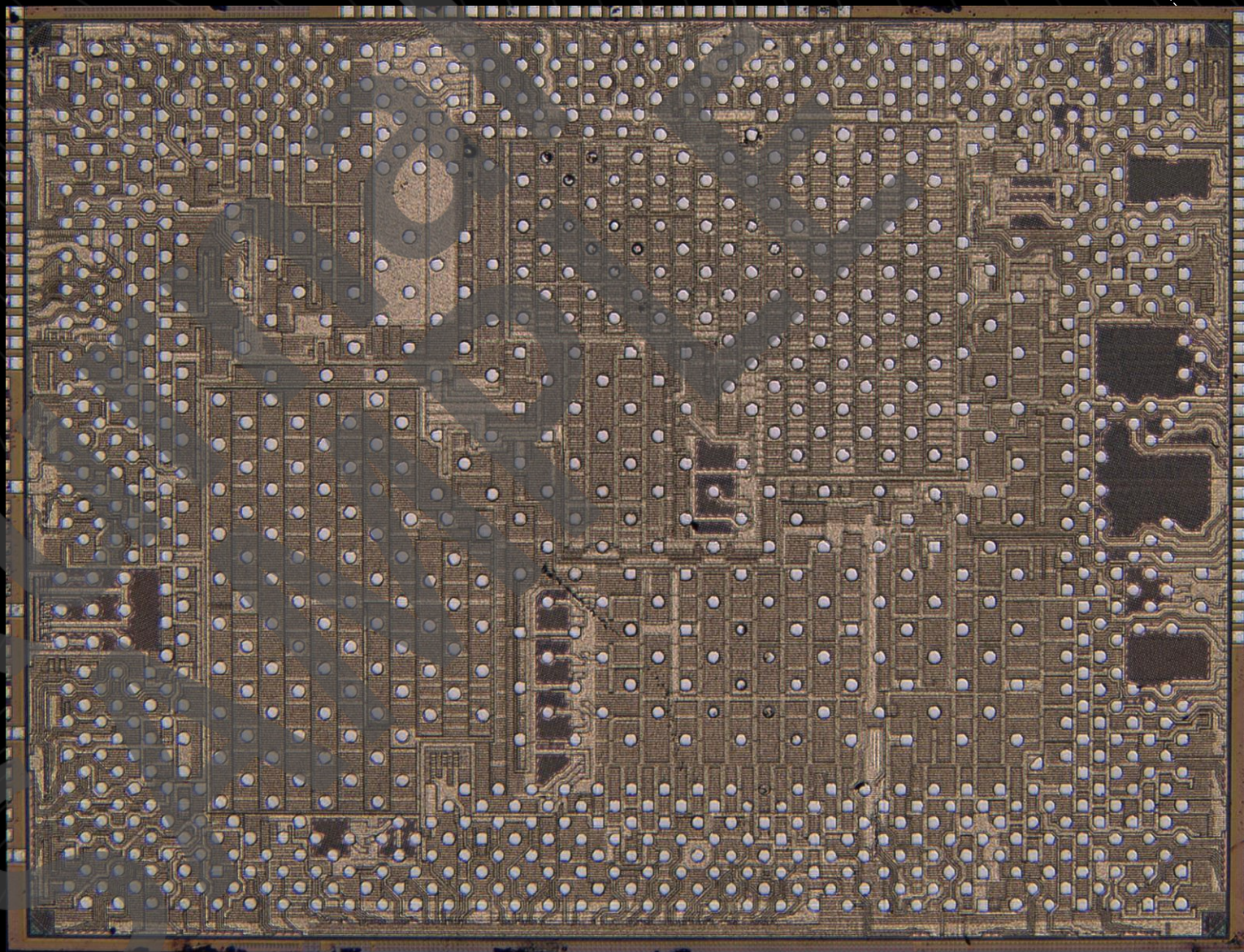
W1000分析-扫描

- 去进行下package的Decap 可以得到
- 上 Die为 PMIC
- 下 Die为W1000
- 缺少 Diesize



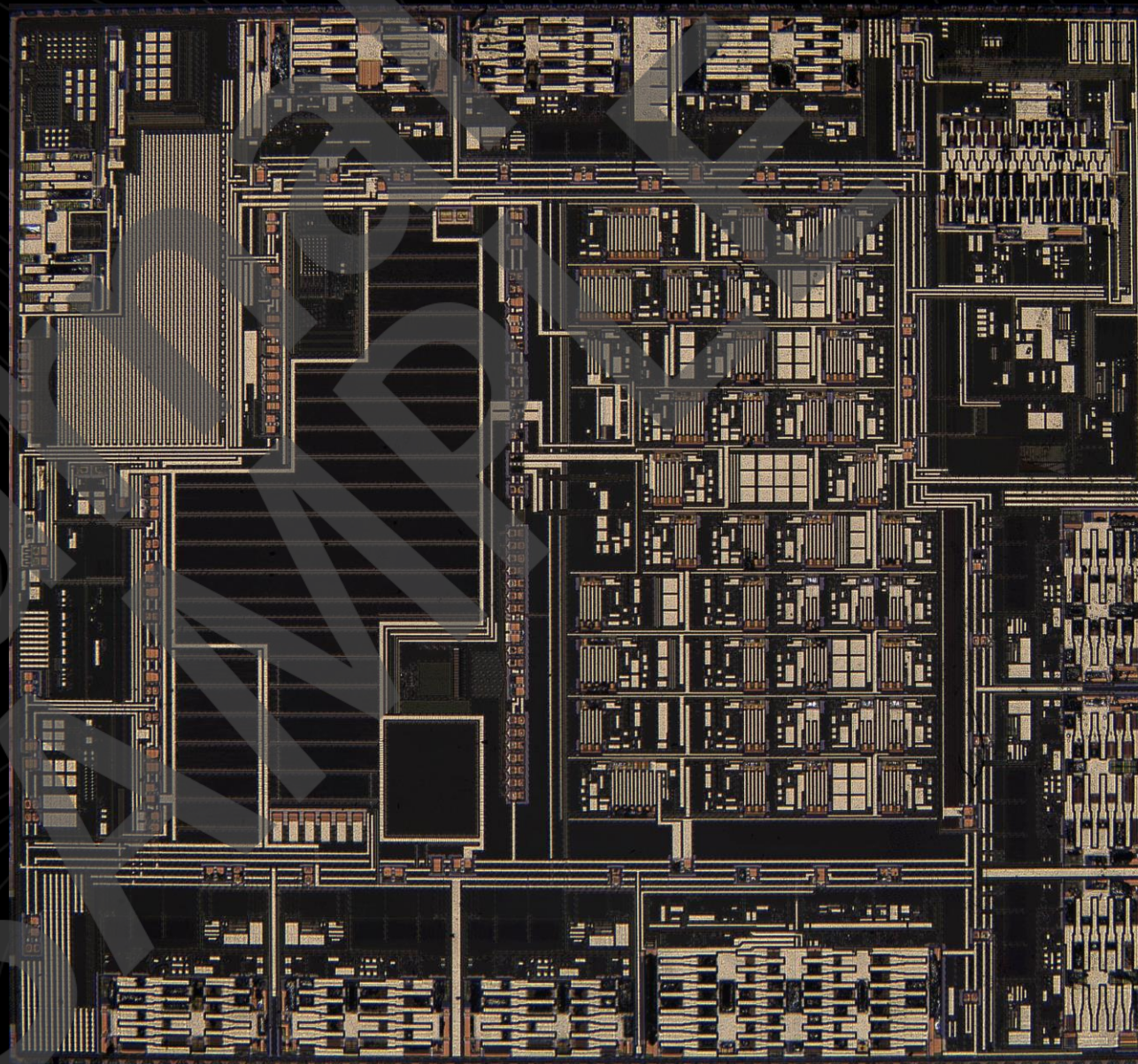
W1000分析-金相

- W1000 金相扫描



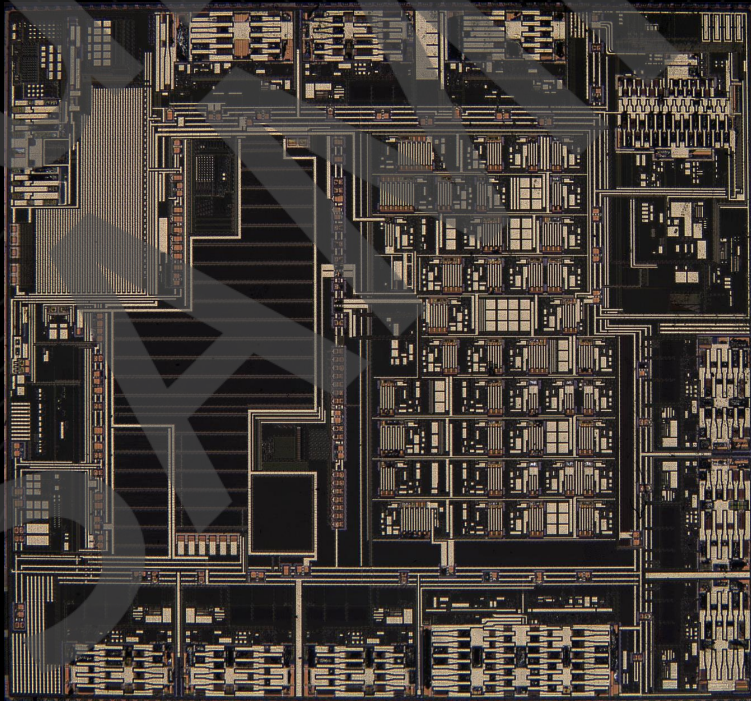
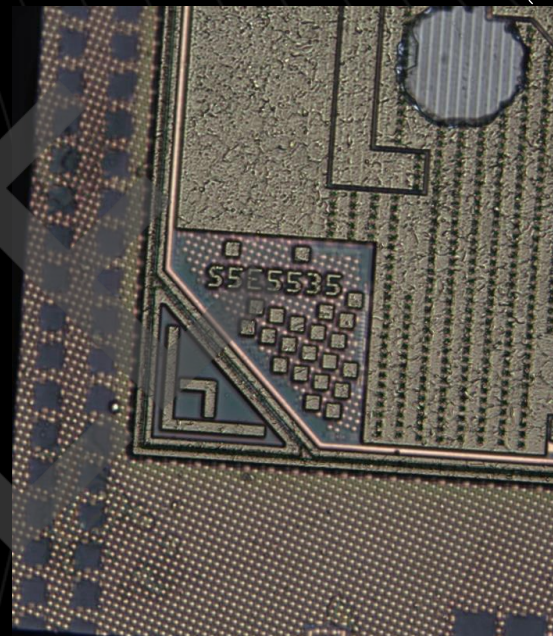
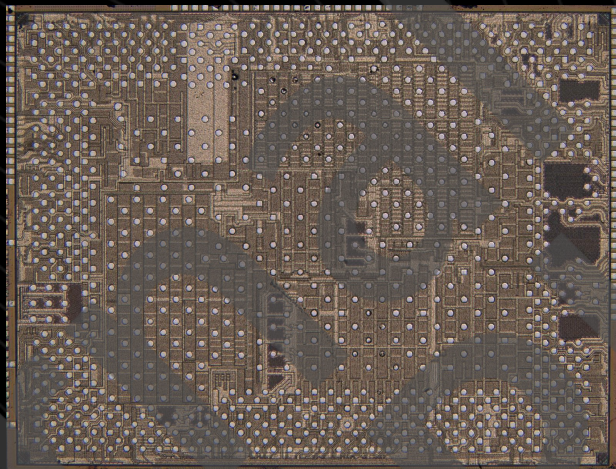
W1000分析-金相

- W1000 PMIC 金相扫描



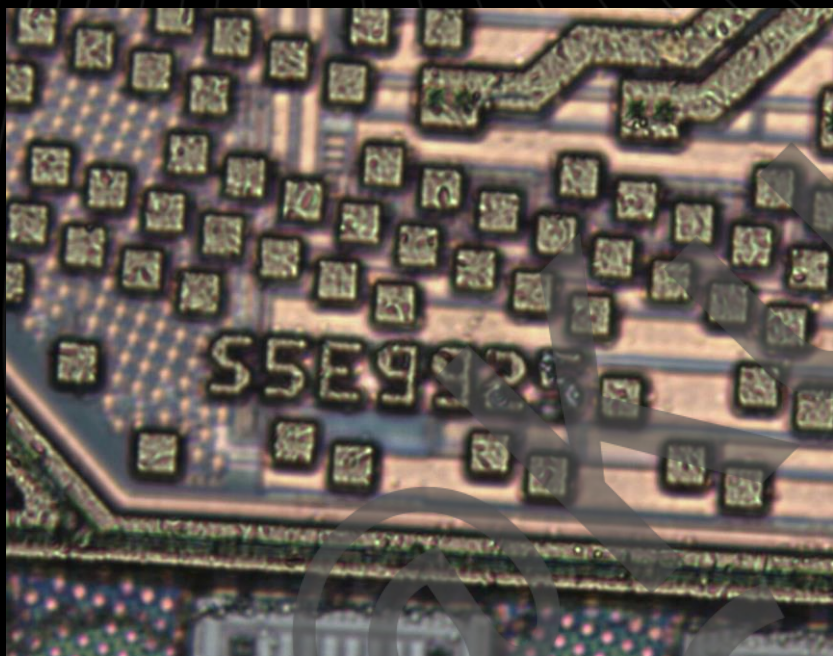
W1000分析-金相

- Diemark 分析
- W1000(上)---S5E5535
- W1000 PMIC(下)---S2MPW05X01



W1000分析-金相

对比的芯片---Exynos2200---S5E9925



ARM Cortex A78分析-Dieshot

- W1000配置

CPU 1*A78+4*A55

GPU Mali G68 MP2



ARM Cortex A78分析

- 市面上的A78 在先进工艺下的数据统计

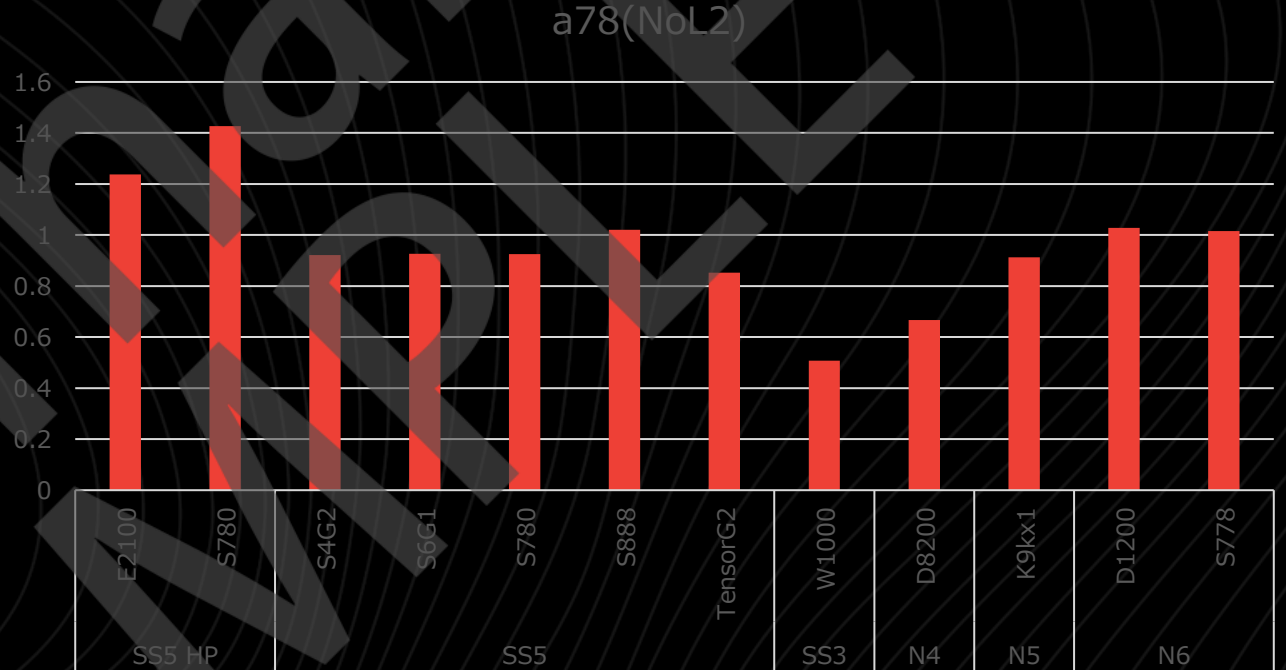
- 高通:

SM4450	SM6450	SM7325	SM7350	SM8350
SS5	SS5	N6	SS5	SS5
4Gen2	6Gen1	778	780	888
- 三星:

E2100	E1080	Tensor G1	TensorG2	W1000
SS5	SS5	SS5	SS5	ss3
2100	1080	Tensor G1	Tensor G2	w1000
- 联发科:

MT6893	MT6896
N6	N4
D1200	D8200
- 麒麟:

Hi36A0V101
N5
9000X1

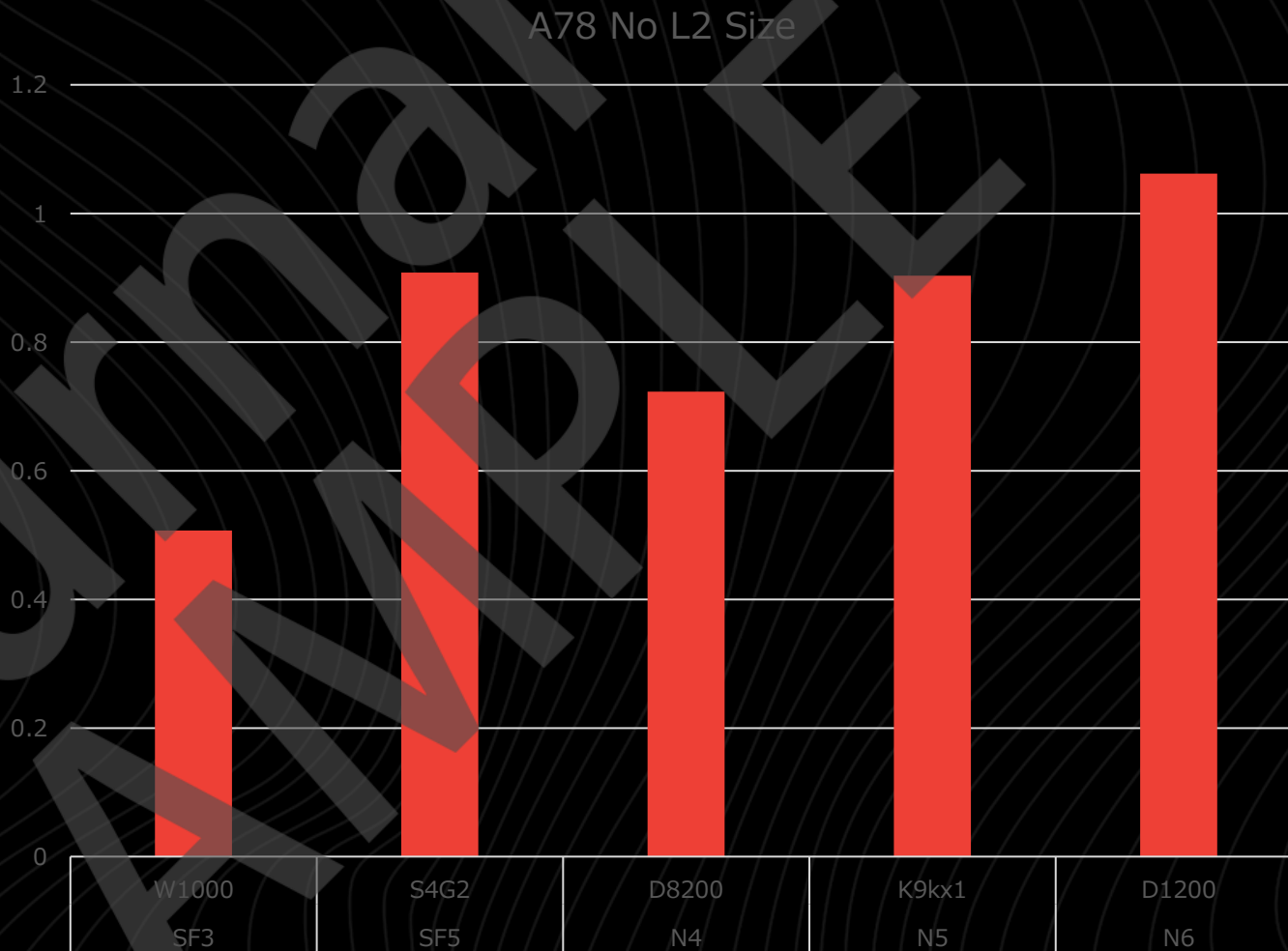


	SS5 HP	SS5					SS3	N4	N5	N6			
HD	E2100	S780	S4G2	S6G1	S780	S888	TensorG2	W1000	D8200	K9kx1	D1200	S778	
a78(NoL2)	1.238	1.427	0.921	0.926	0.925	1.021	0.853	0.507	1.0	0.667	0.913	1.028	1.015

ARM Cortex A78分析

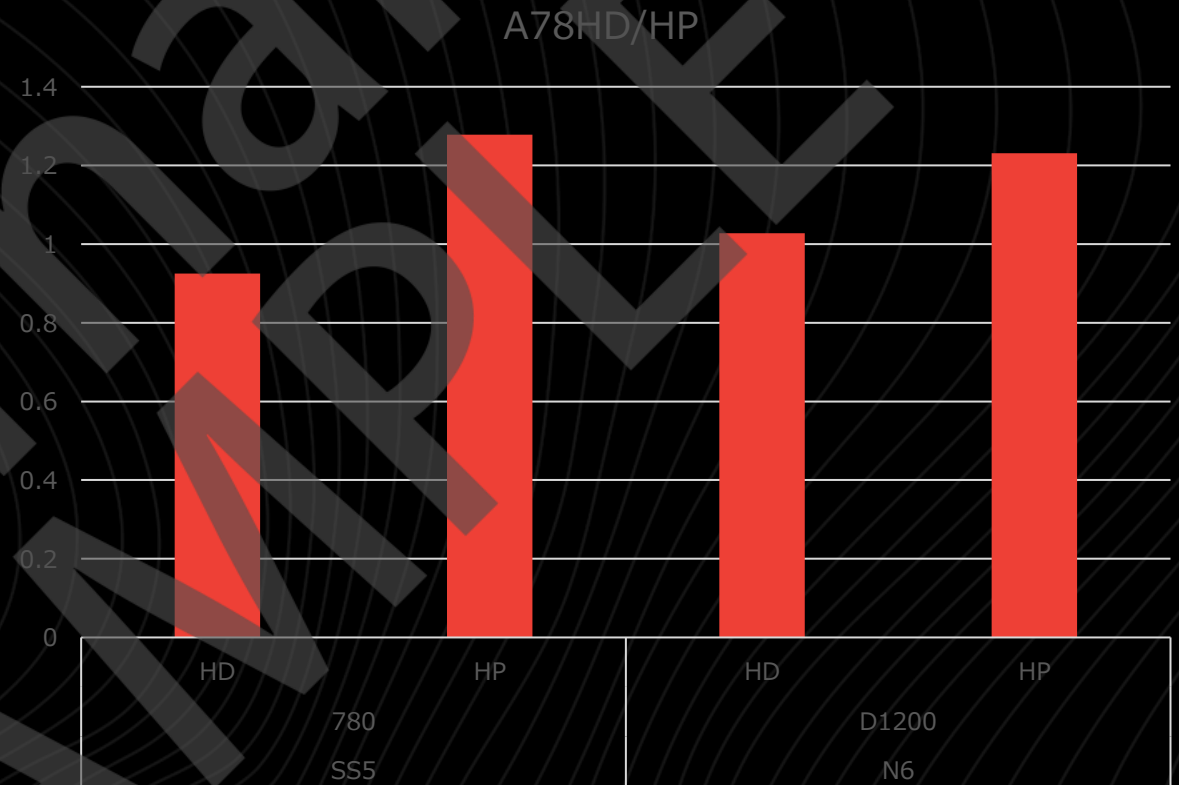
- 整理各个工艺的HD Cell 的面积

工艺	SF3	SF5	N4	N5	N6
名称	W1000	S4G2	D8200	K9kx1	D1200
A78	0.5071	0.908	0.723	0.903	1.062



ARM Cortex A78分析

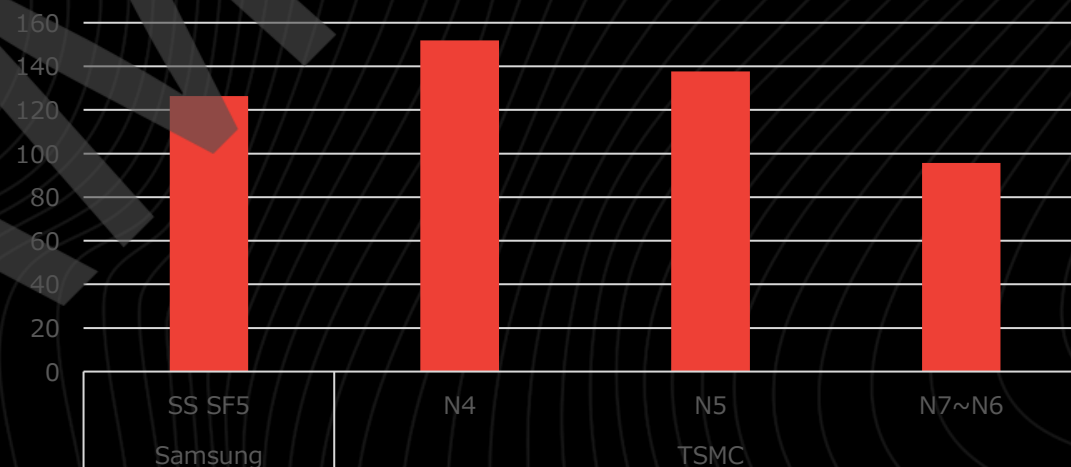
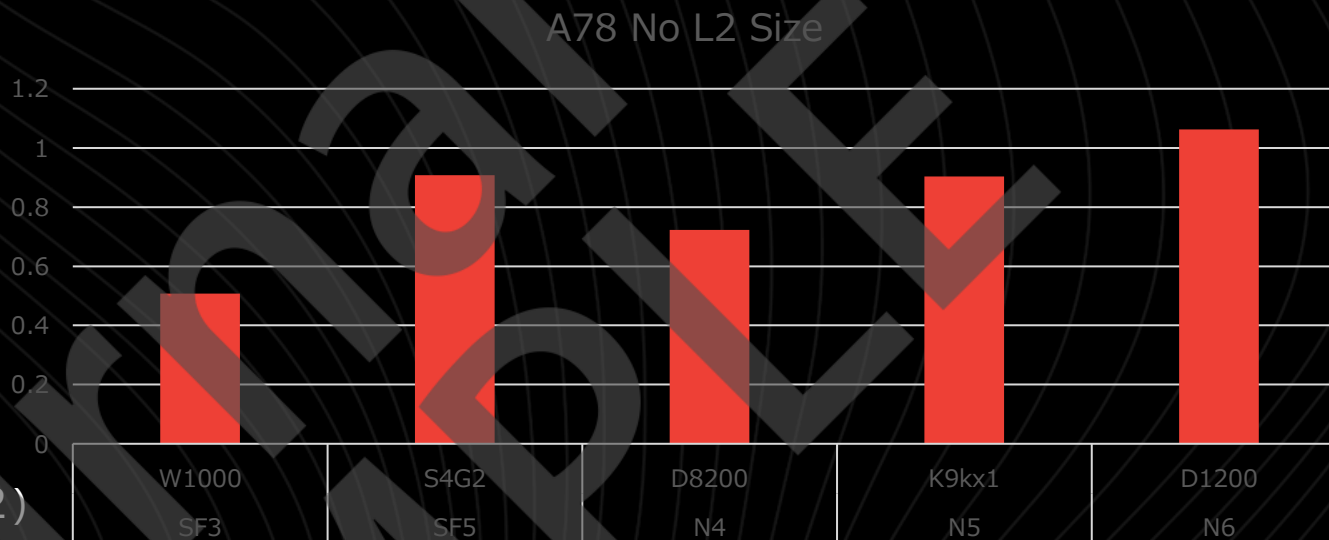
- 又：其实A78有HD/HP,可以看一眼



SS5	780	N6	D1200
HD	HP	HD	HP
0.925	1.278	1.028	1.231

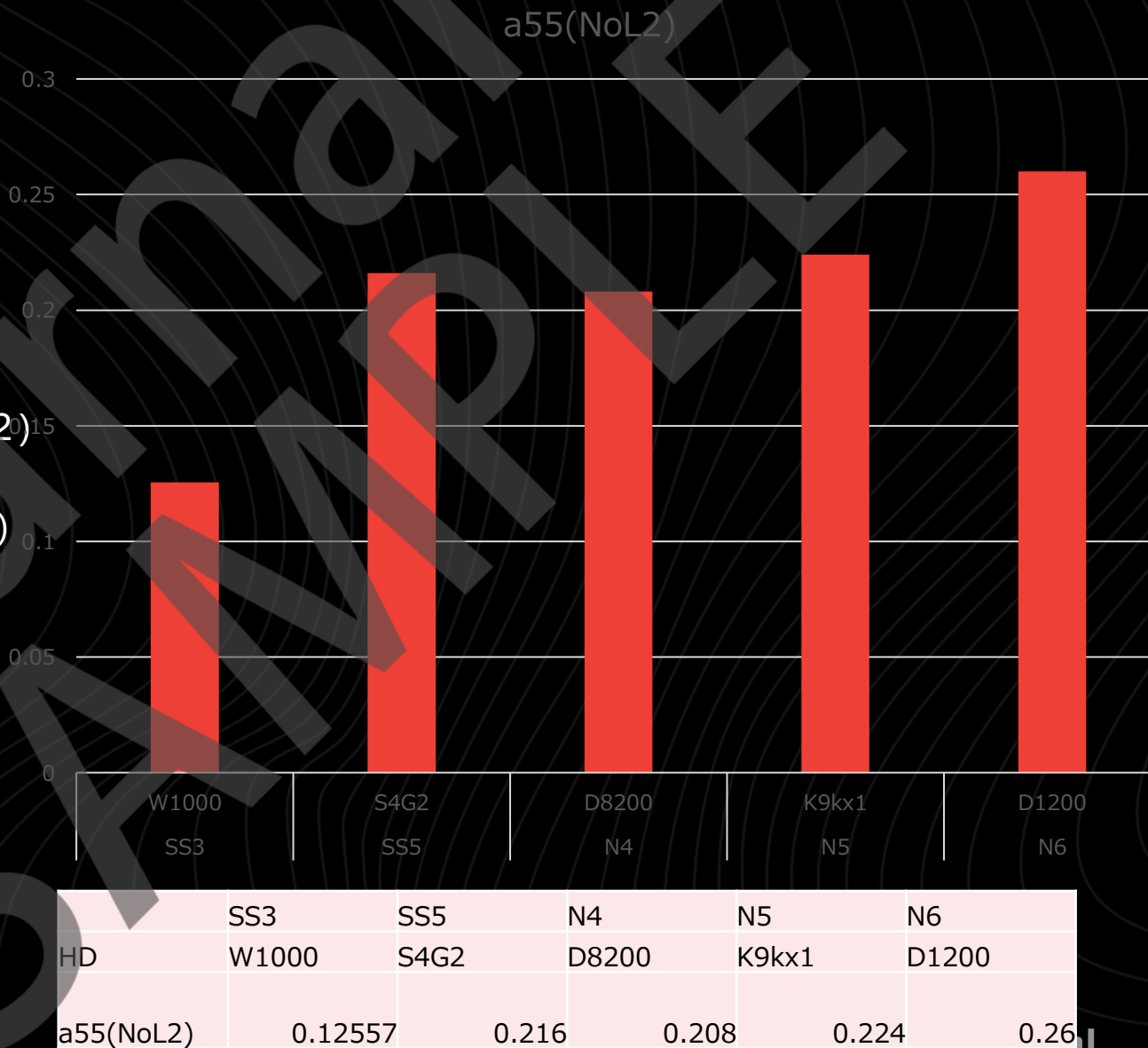
ARM Cortex A78分析

- 如果只算A78 No L2+ HD的话
- SF3密度大概是⊕ (不能这样估算)
- SF5的179%(226mtr/mm2)
- TSMC N4的138.63% (210mtr/mm2)
- TSMC N5的178% (245mtr/mm2)
- TSMC N6的209.4% (200mtr/mm2)



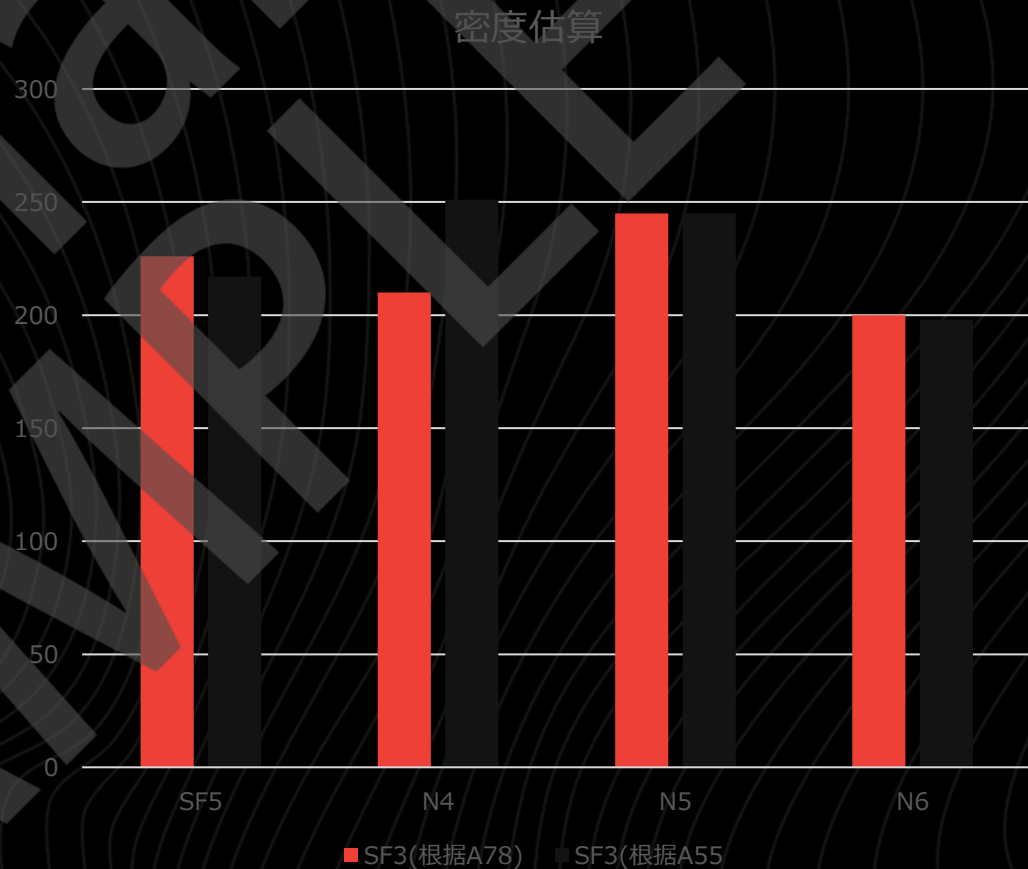
ARM Cortex A55分析 (对比)

- 估算完A78, 估算A55
- SF3密度大概是⊗ (不能这样估算)
- SF5的172 % (217 mtr/mm2)
- TSMC N4的165.6 % (251.5mtr/mm2)
- TSMC N5的178.4 % (245 mtr/mm2)
- TSMC N6的207 % (198 mtr/mm2)



分析总结

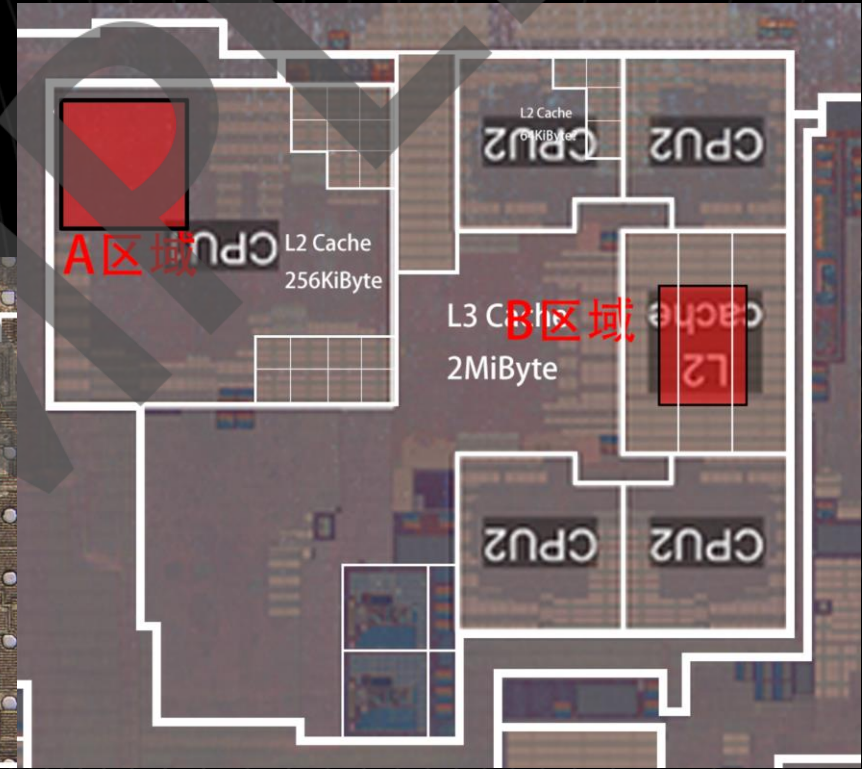
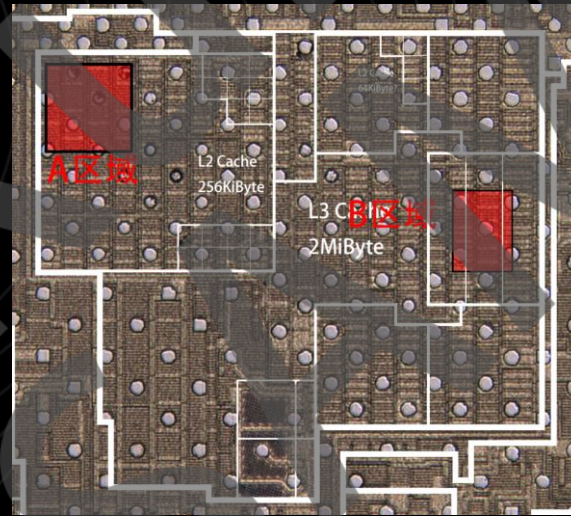
- 先整理根据该面积估算的面积
- 很显然不对，根据核心的面积估算工艺密度是不可能的
- 可能的原因：
 - 核心版本步进 (SDM888/6G1)
 - 各家Floorplan方案不同 (Tensor G1/E2100)
 - 可能存在DTCO(SDM888/E2100 (X1))



工艺分析

工艺分析-采样区域-SF3

- 在W1000中采样区域为
- A区域为Logic区域 采样区域为 A78 FP
- B区域为Sram区域 采样区域为 CPU L3



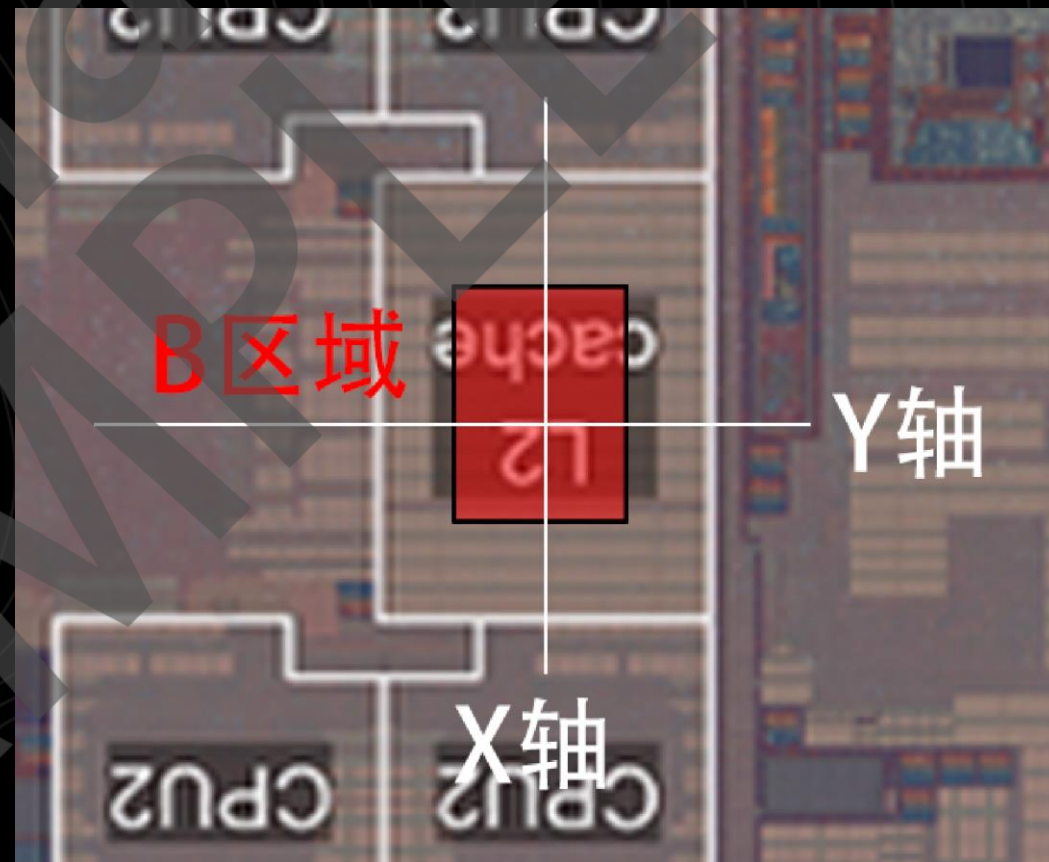
工艺分析-采样区域-SF3-Logic

- 在W1000中A采样区域为 Arm Cortex A78
- A区域沿着X/Y轴进行切割
- 可以得到来自A78 FP Logic的X/Y轴的晶体管数据
- A区域的X轴数据叫做1AX
- A区域的Y轴数据叫做1AY



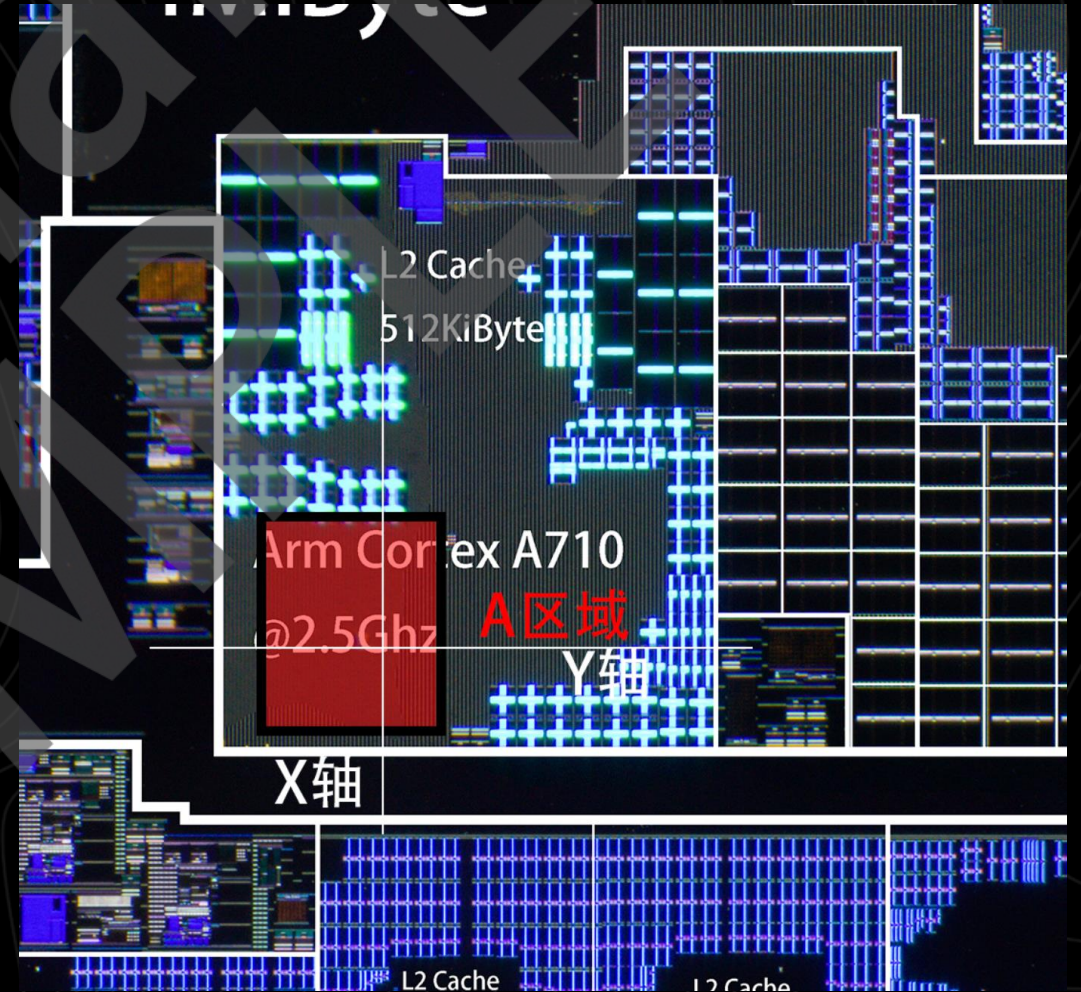
工艺分析-采样区域-SF3-Sram

- 在W1000中B采样区域为L3 Cache的Sram
- B区域沿着X/Y轴进行FIB切割
- 可以得到来自L3 Cache的Sram的X/Y轴的晶体管数据
- B区域的X轴数据叫做1 BX
- B区域的Y轴数据叫做1 BY



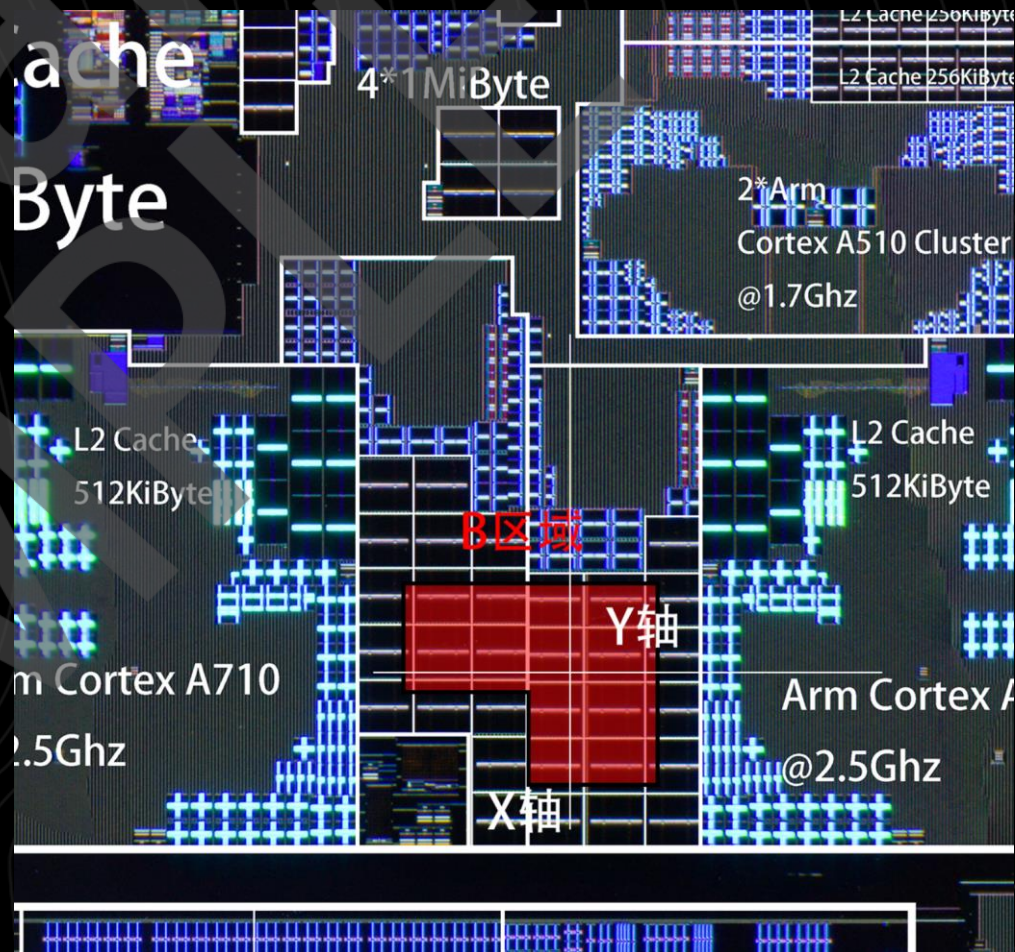
工艺分析-采样区域-SF4-Logic

- 在E2200中A采样区域为Arm Cortex A710的FP区域
- A区域沿着X/Y轴进行切割
- 可以得到来自A710 FP Logic的X/Y轴的晶体管数据
- A区域的X轴数据叫做2AX
- A区域的Y轴数据叫做2AY



工艺分析-采样区域-SF4-Sram

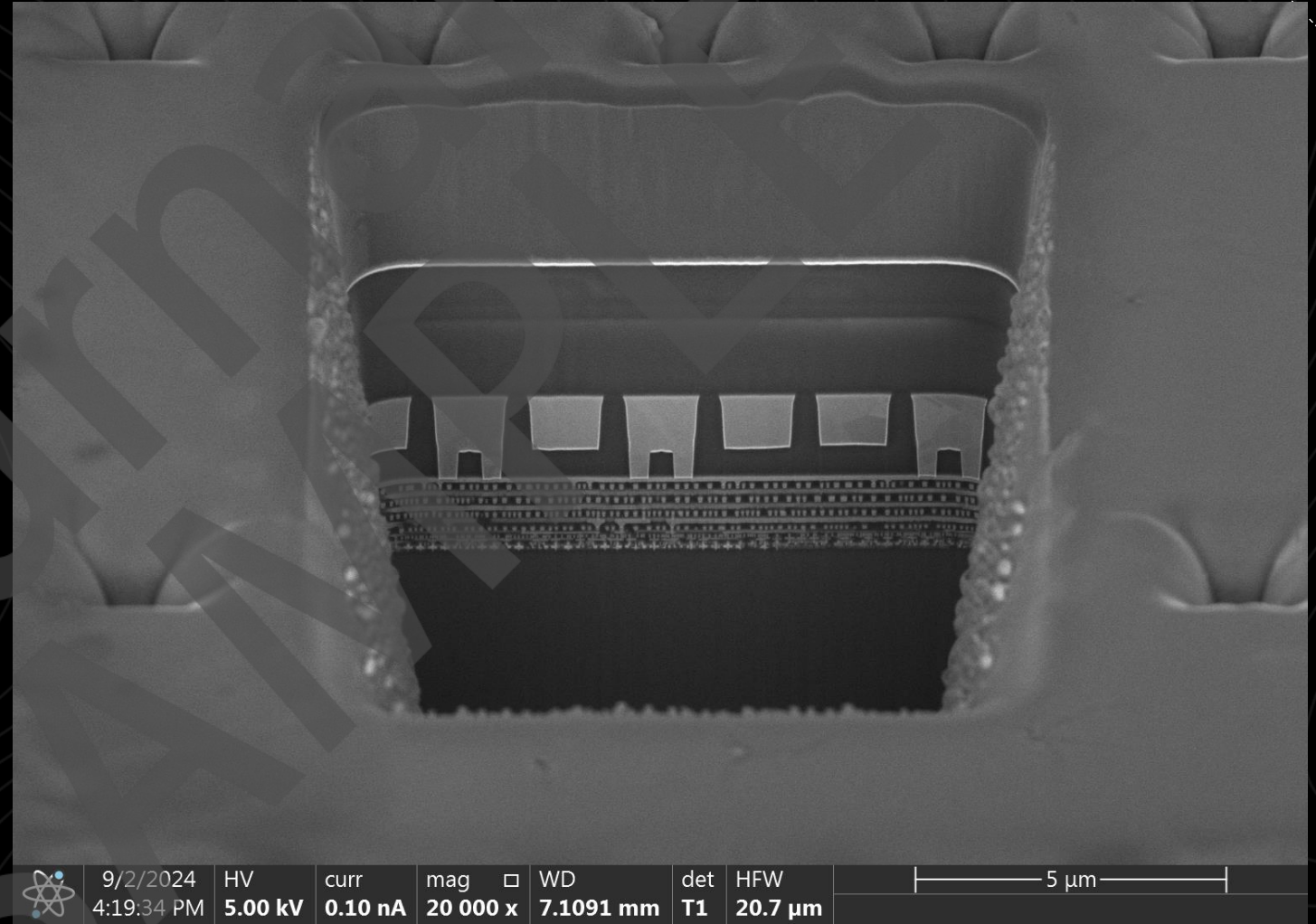
- 在E2200中B采样区域为CPU L3 Cache的Sram区域
- B区域沿着X/Y轴进行切割
- 可以得到来自L3 Cache的X/Y轴的晶体管数据
- B区域的X轴数据叫做2BX
- B区域的Y轴数据叫做2BY



工艺分析-Metal-SF3

先进行一个FIB-SEM（图到时候换）

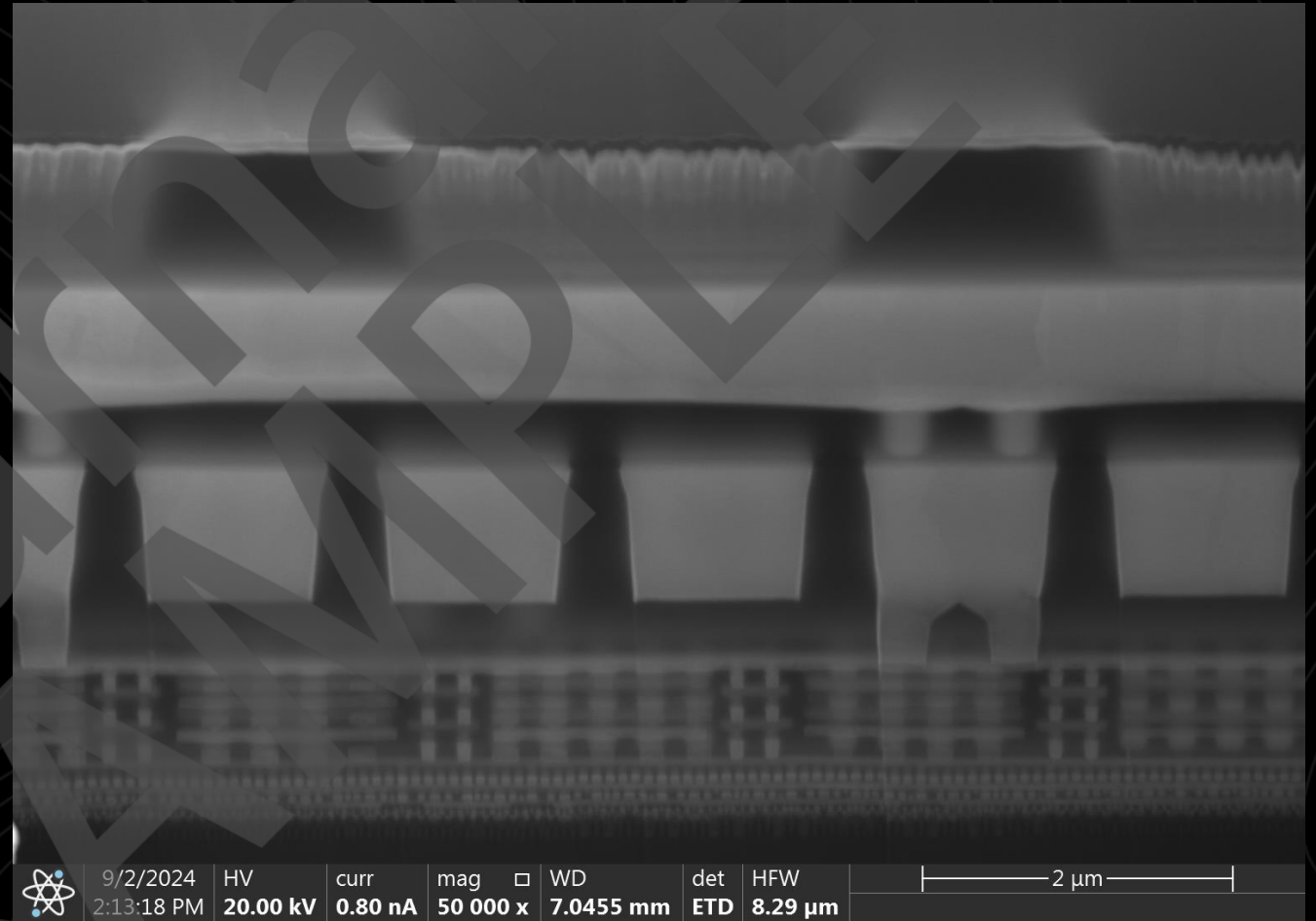
可以看到若干Metal



工艺分析-Metal-SF3

进行放大后分析 (图为1BY)

可以看到其分为三部分



工艺分析-Metal-SF3

进行放大后分析 (图为1BY)

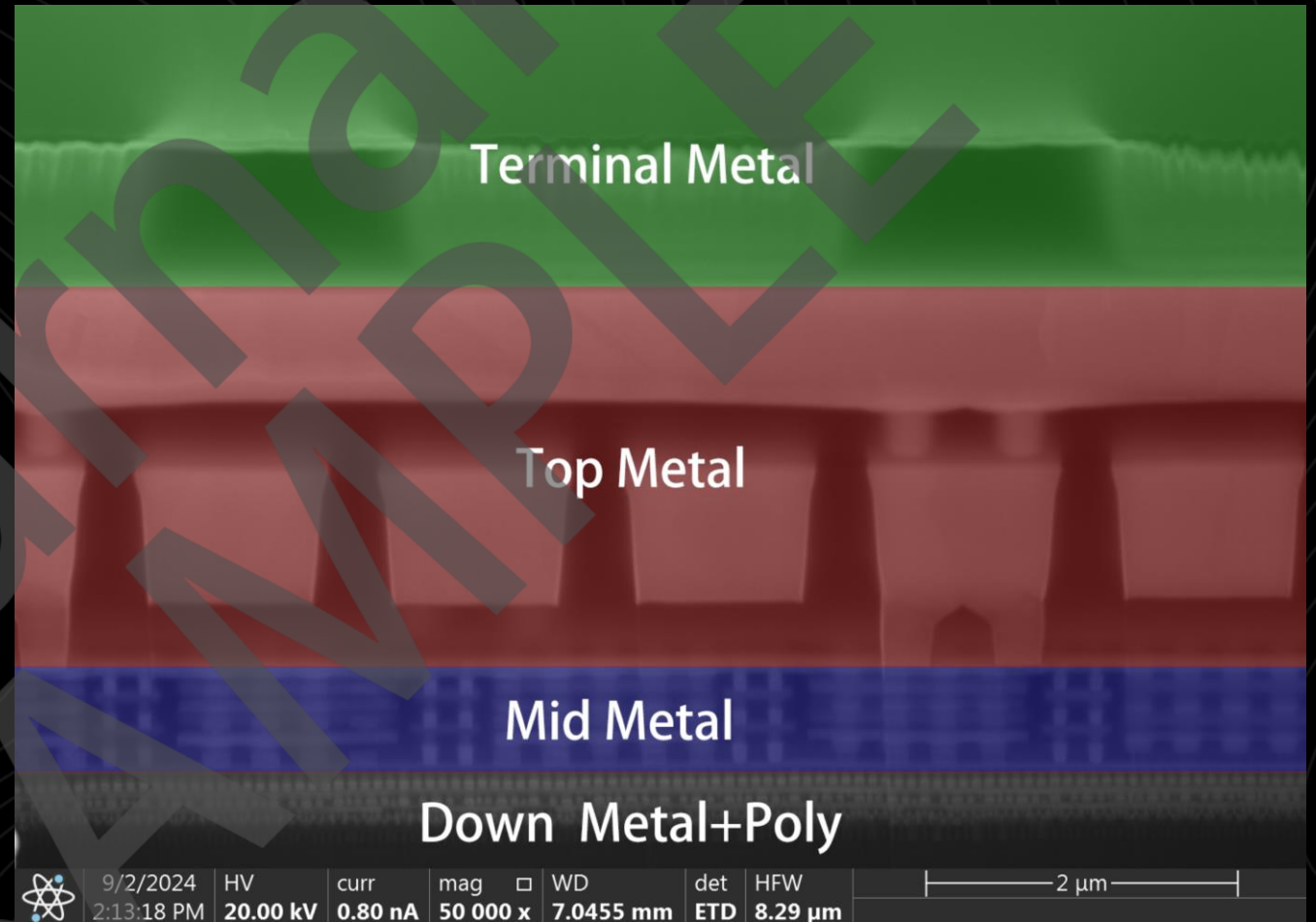
可以看到其分为4部分

Terminal

Top Metal

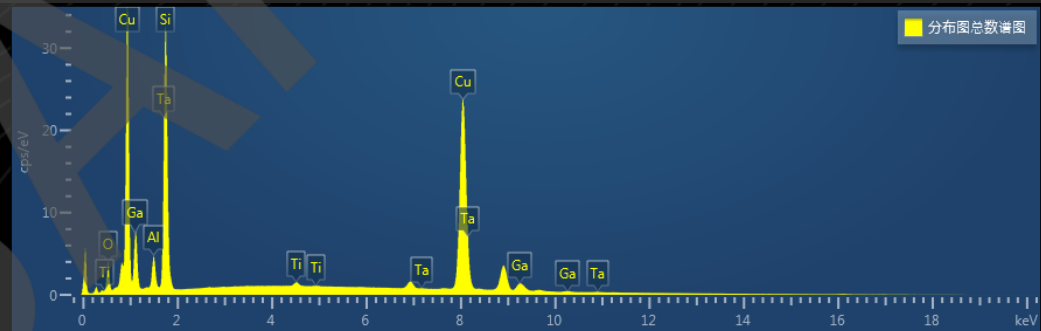
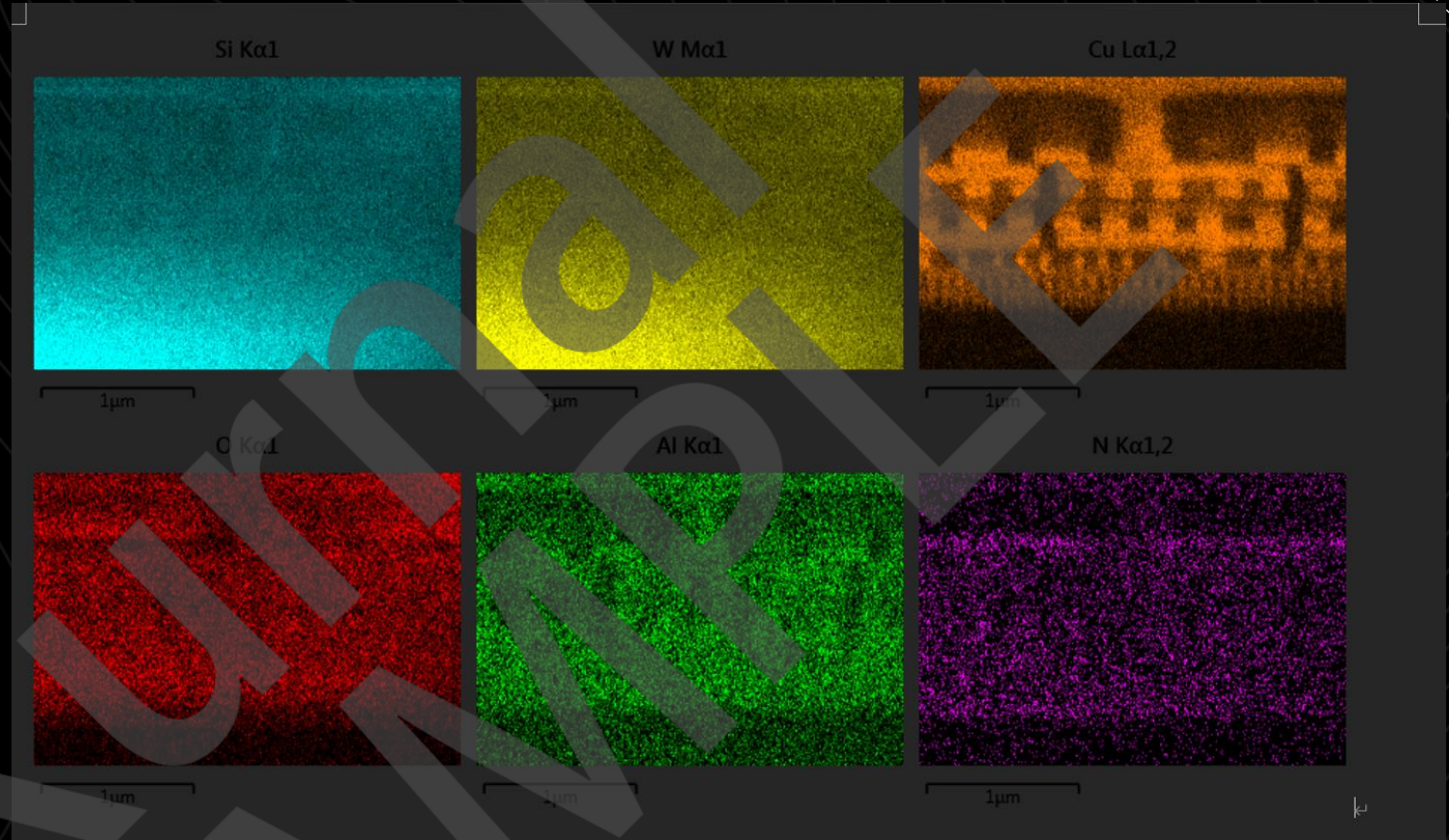
Mid Metal

Down Metal



工艺分析-Metal-SF3

EDS分析 (见文件)

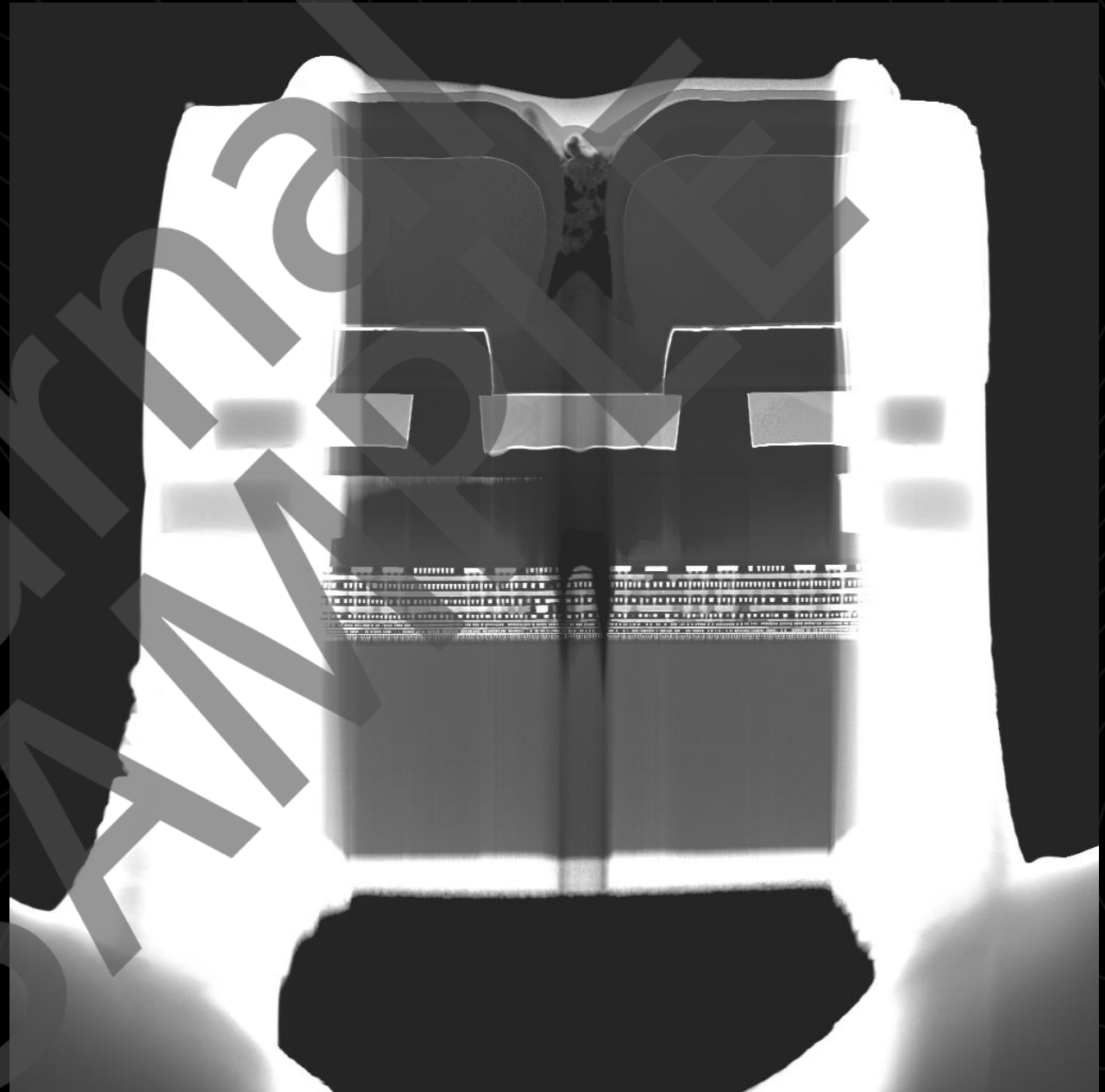


工艺分析-Metal-SF3

SEM的EDS还是不够清晰

需要打TEM (1AX)

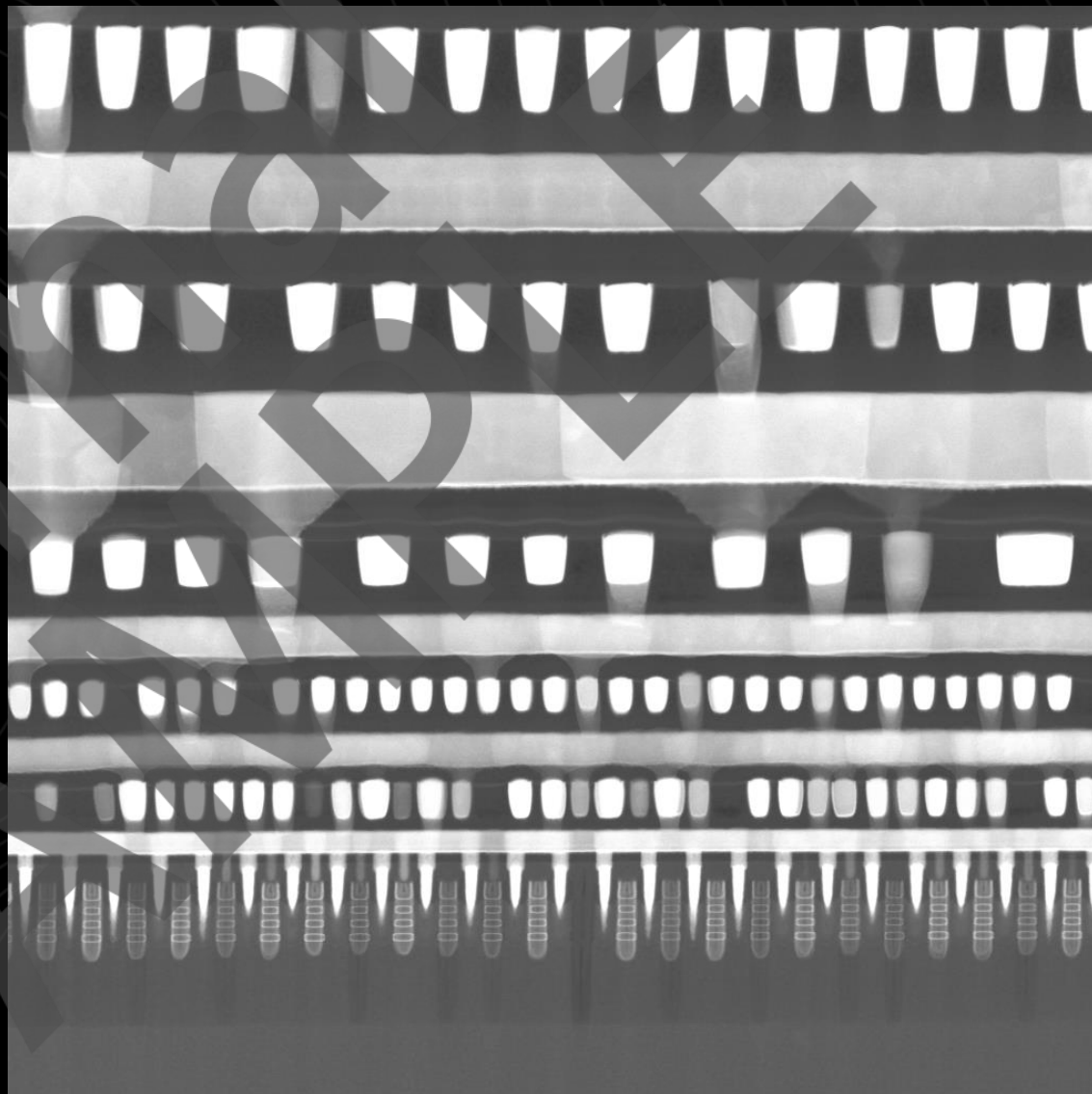
这里更能直观的看出Metal Level



工艺分析-Metal-SF3

放大Mid Metal与DownMetal的TEM图

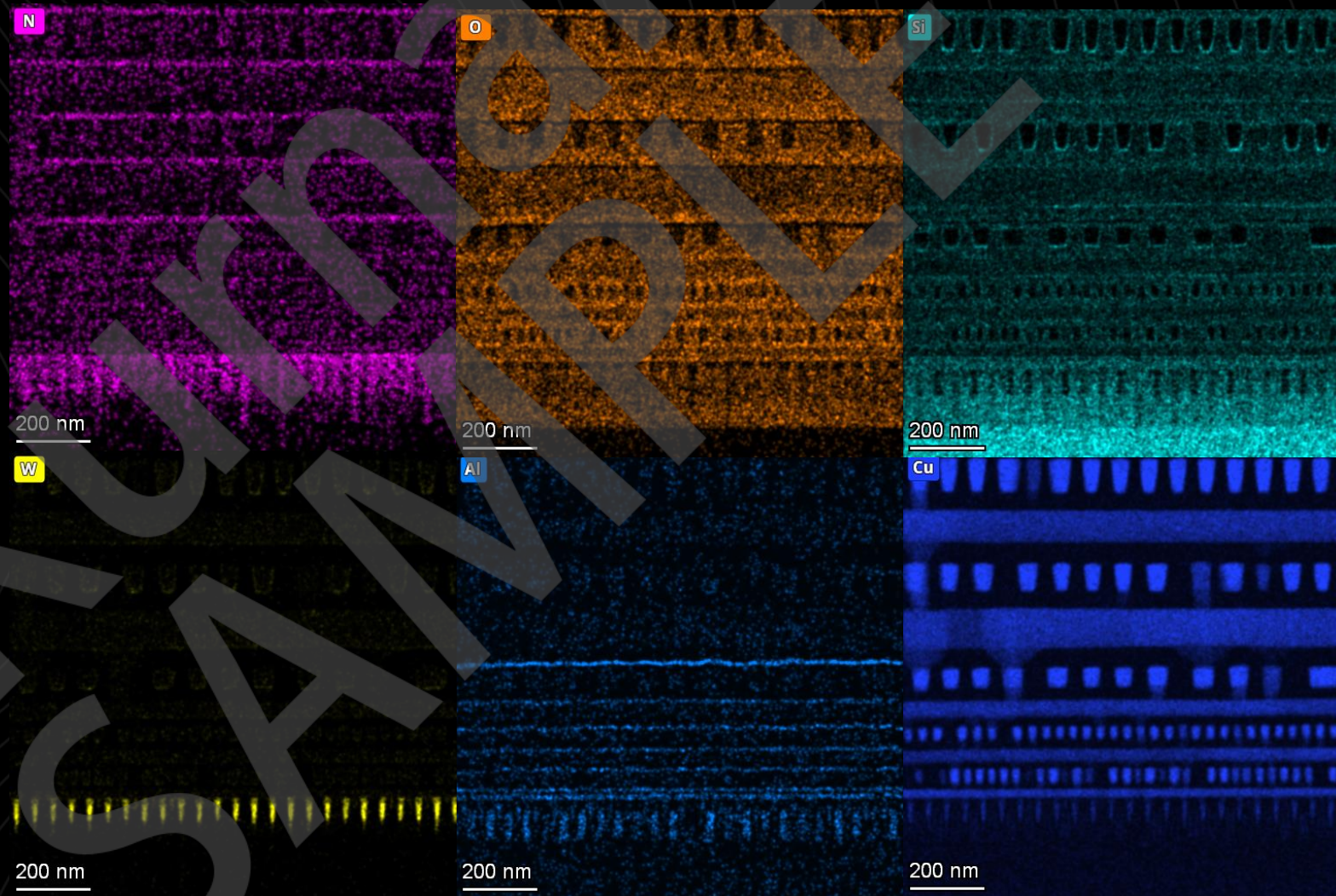
可以看到若干层Metal (文件见1AX)



工艺分析-Metal-SF3

EDS报告:

见:HAADF 1556 83000 x

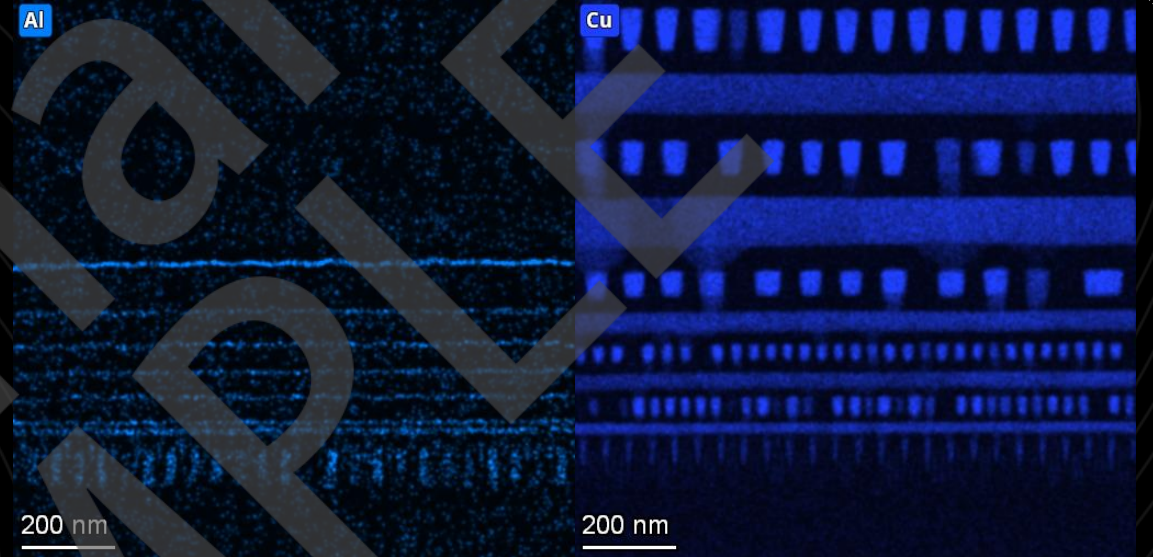


工艺分析-Metal-SF3

EDS报告分析

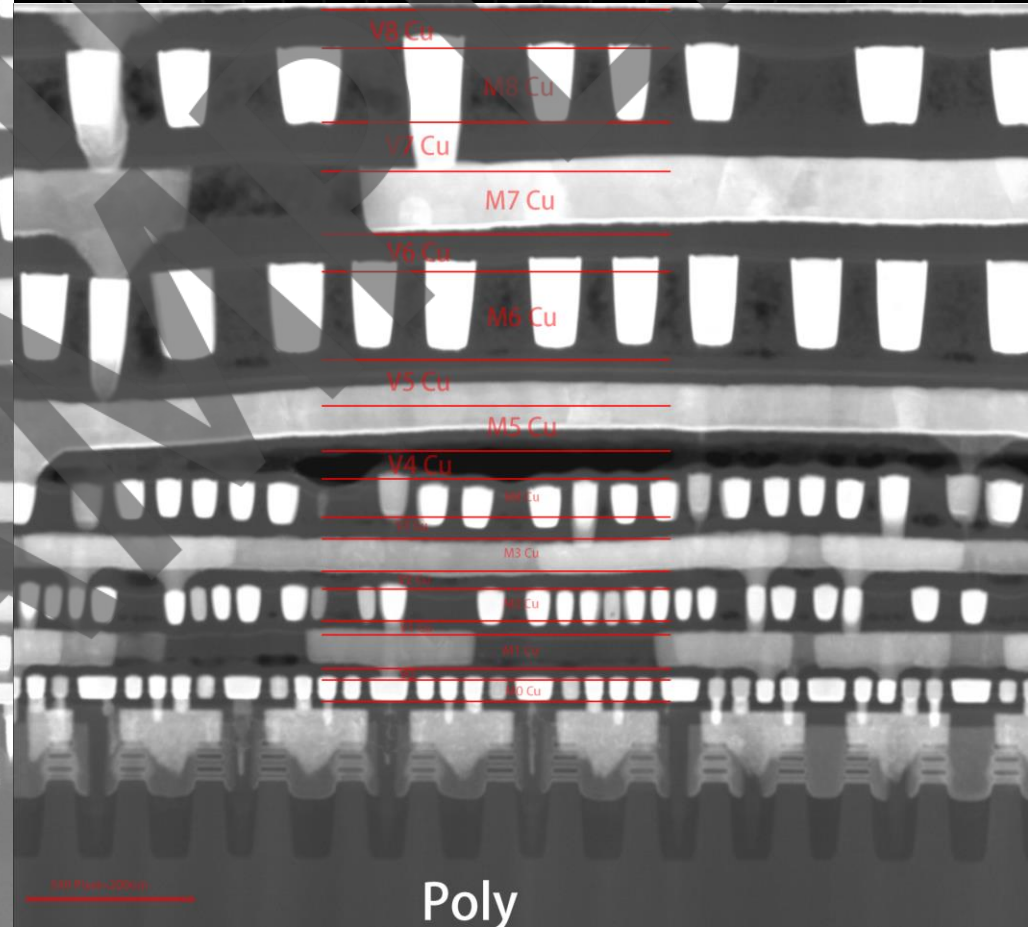
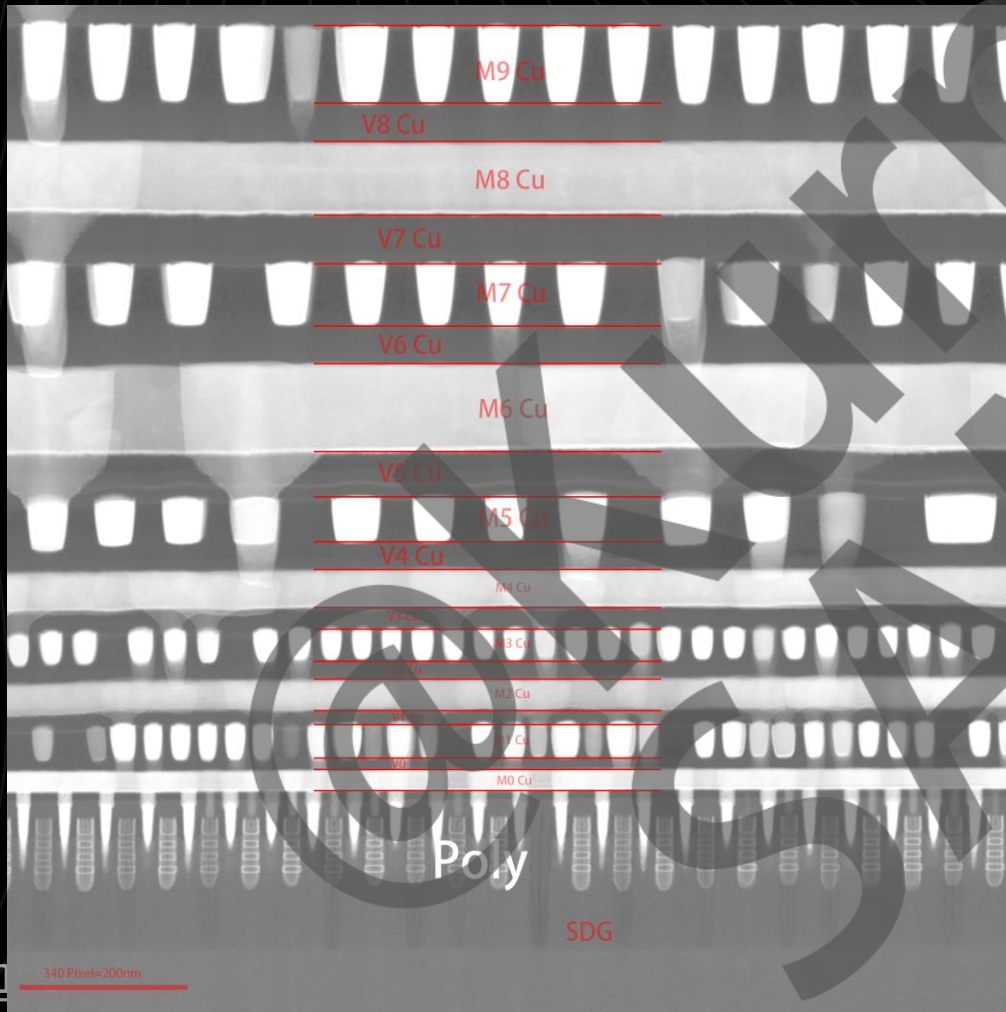
可见其M0-M13采用的都是Cu元素

在M0-M5的Via Contact 采用了Al元素+其他参杂?



工艺分析-Metal-SF3

根据TEM图进行Metal Level划分 (左1AX右边1AY)



工艺分析-Metal-SF3

Metal 测绘 (右图表格)

可以发现在最小的MMP为M0层

其M0P=28nm/30nm, 元素为Cu

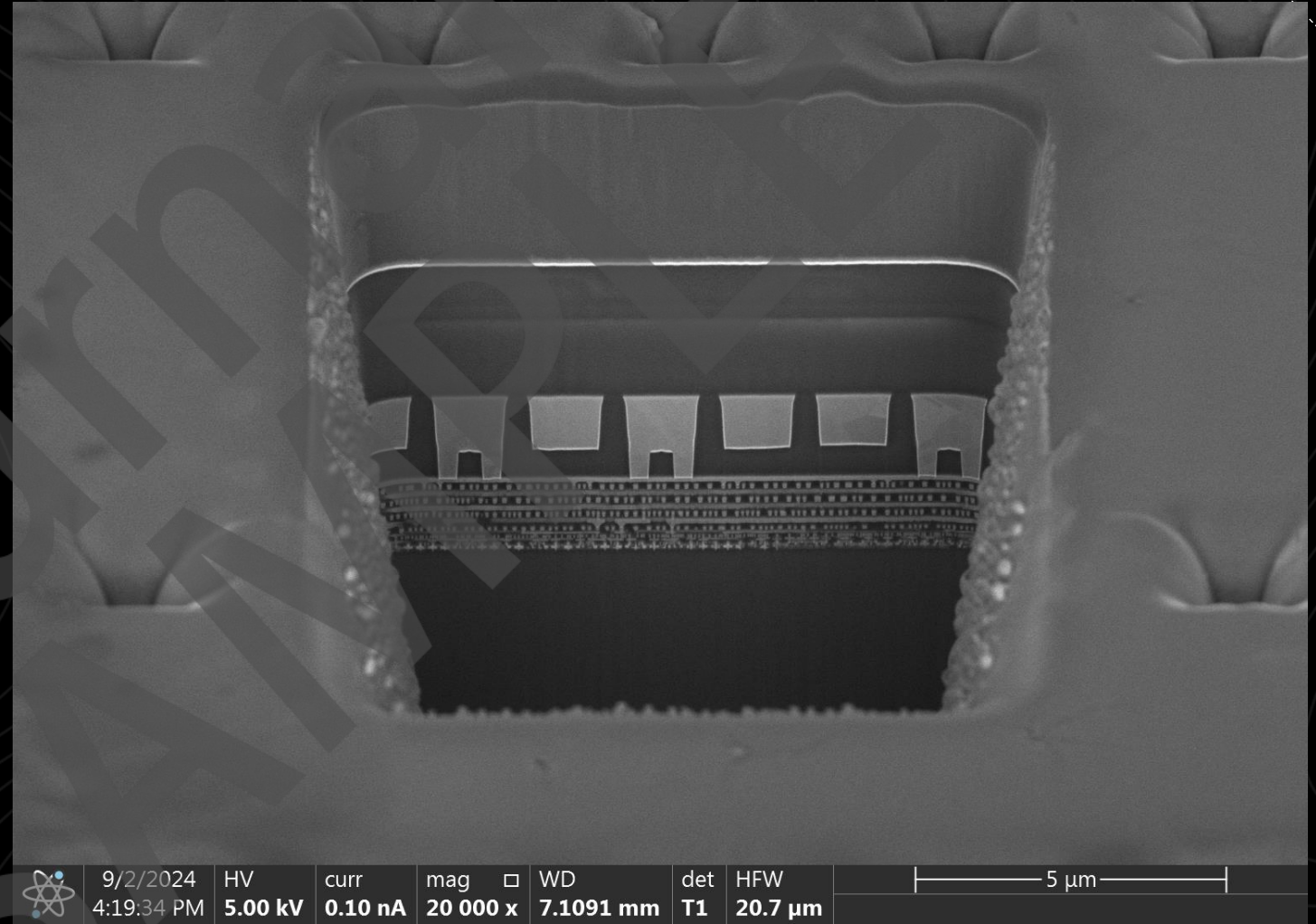
M0-M4为Down Metal

	VIA Thickness	元素		Metal Thickness	间距 (Pitch)	元素
V0	13.529	Cu	M0	25.29	28/30	Cu
V1	16.47	Cu	M1	40	68.23/32.9	Cu
V2	21.1764	Cu	M2	37.64	28.5	Cu
V3	25.88	Cu	M3	38.23	36.98	Cu
V4	32.94	Cu	M4	45.29	46.25	Cu
V5	54.11	Cu	M5	53.52	119.41/87	Cu
V6	44.7	Cu	M6	104.7	100/135	Cu
V7	58.23	Cu	M7	74.11	120/85.29	Cu
V8	45.88	Cu	M8	87.64		Cu
V9			M9	92.35	77.1411	Cu
V10			M10			
V11			M11			
V12			M12			
V13			M13			
V14			M14			

工艺分析-SF4-Metal

先进行一个FIB-SEM（图到时候换）

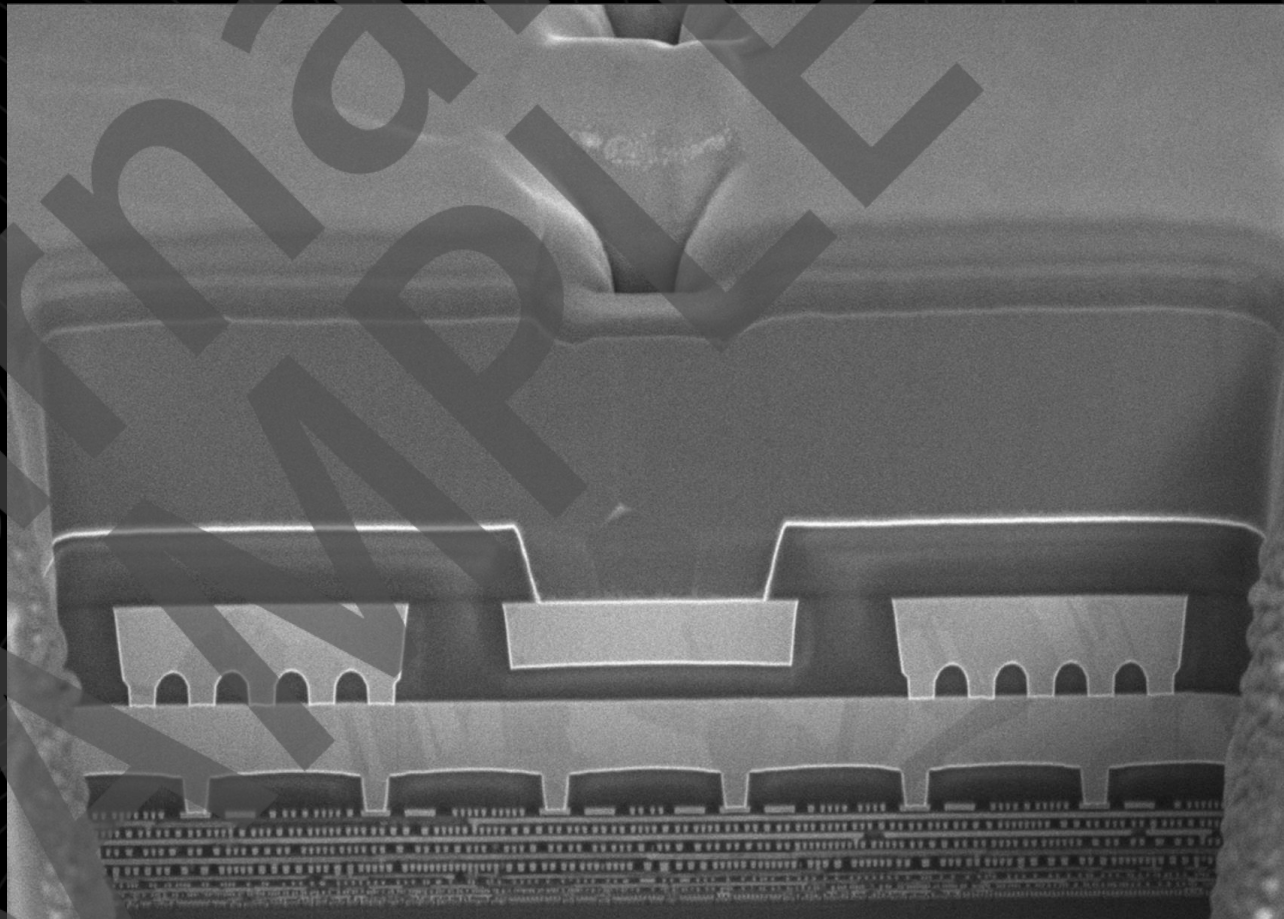
可以看到若干Metal



工艺分析-SF4-Metal

进行放大后分析（图为2AY）

可以看到其分为三部分



工艺分析-SF4-Metal

进行放大后分析（图为1BY）

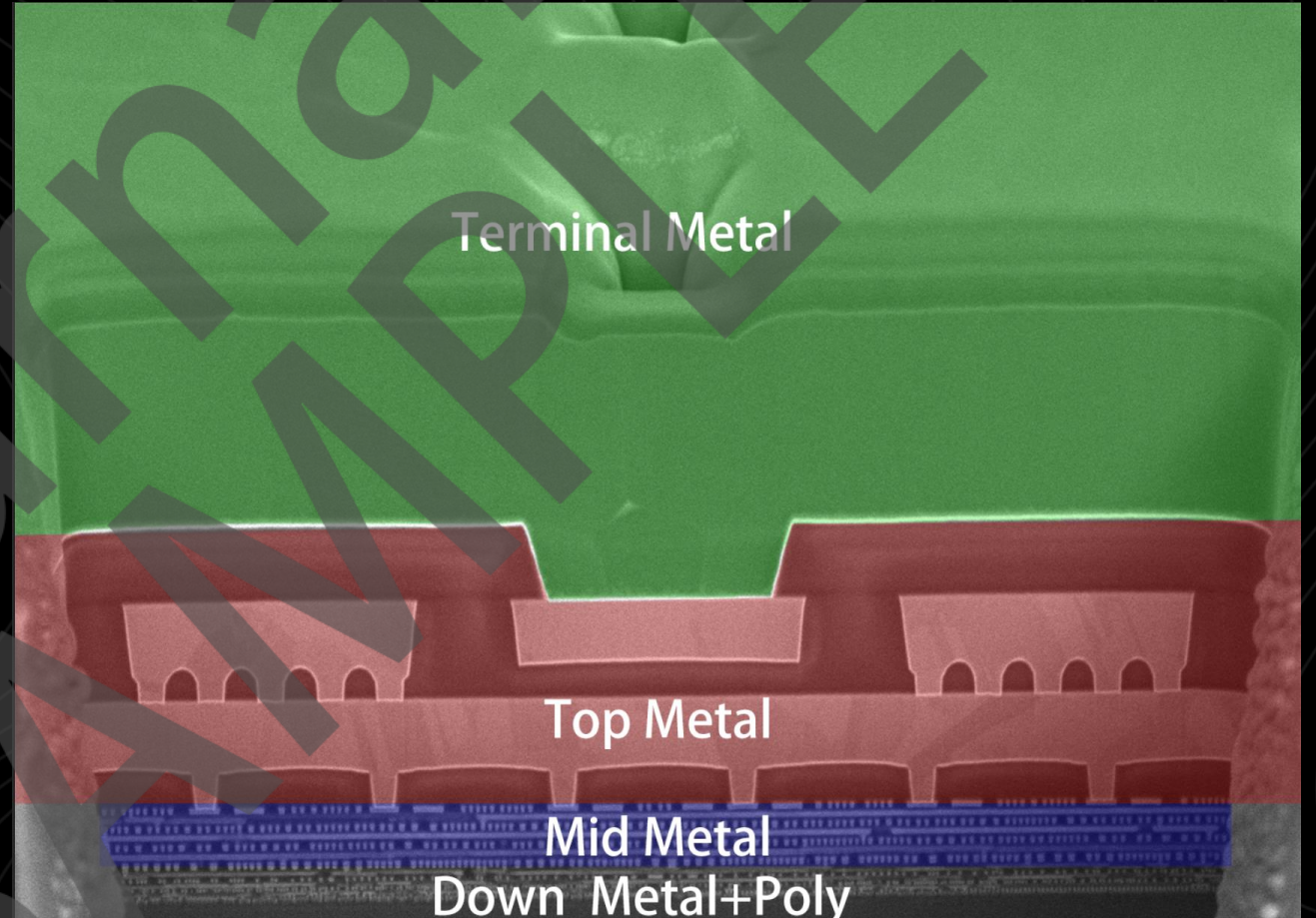
可以看到其分为4部分

Terminal

Top Metal

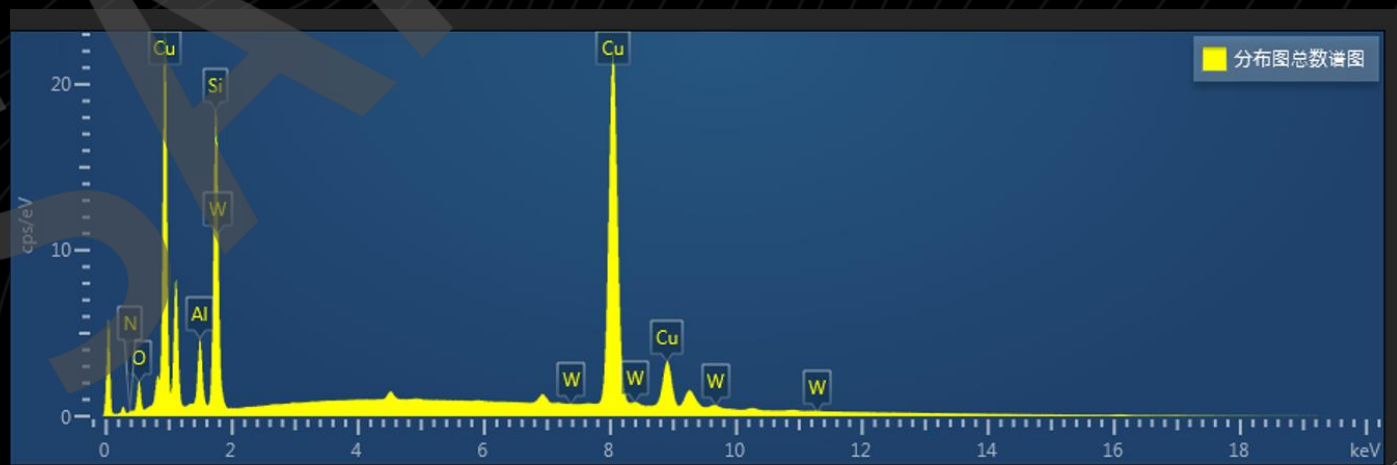
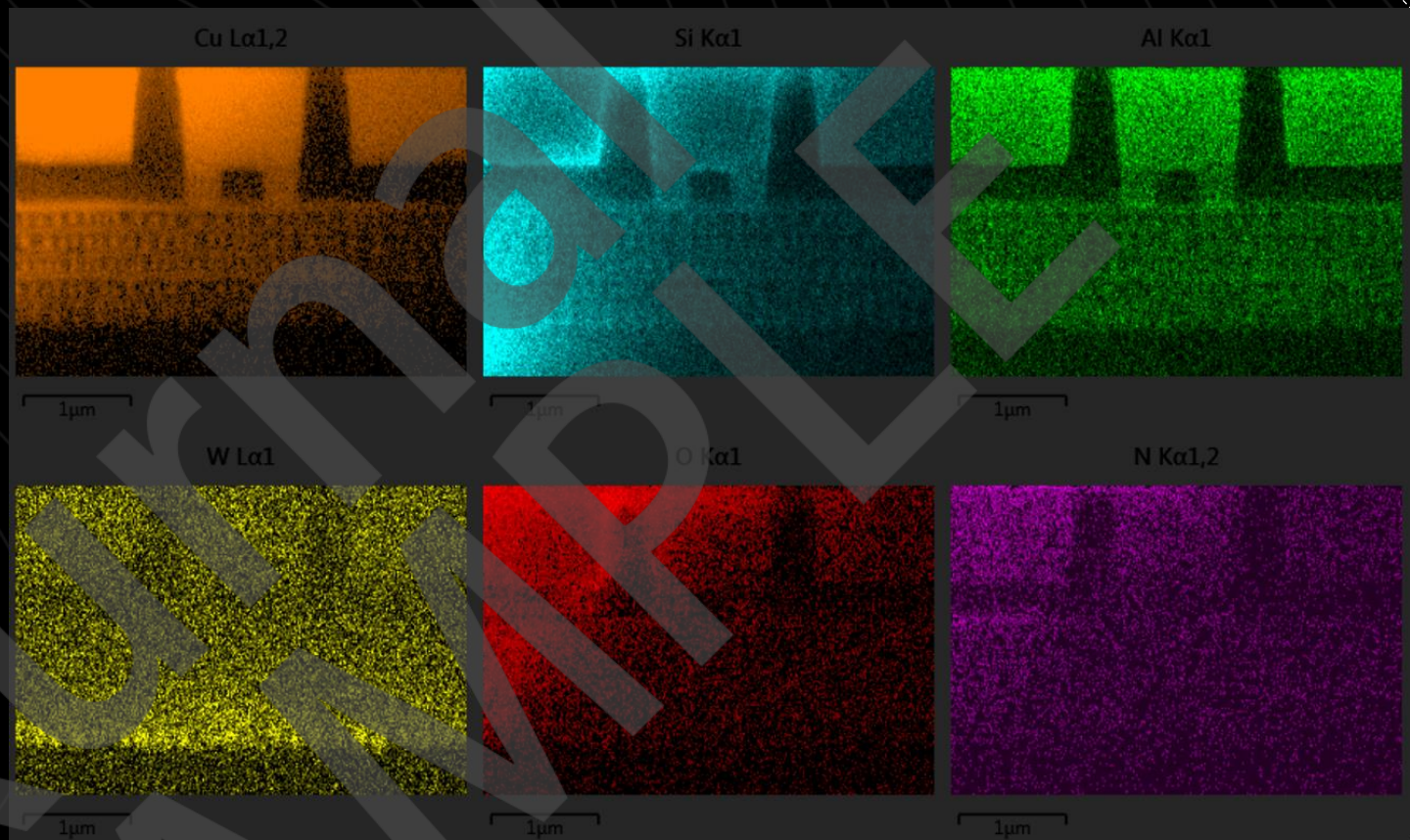
Mid Metal

Down Metal



工艺分析-SF4-Metal

EDS分析 (见文件)



@Kurnal

仙铜半导体研究小团体

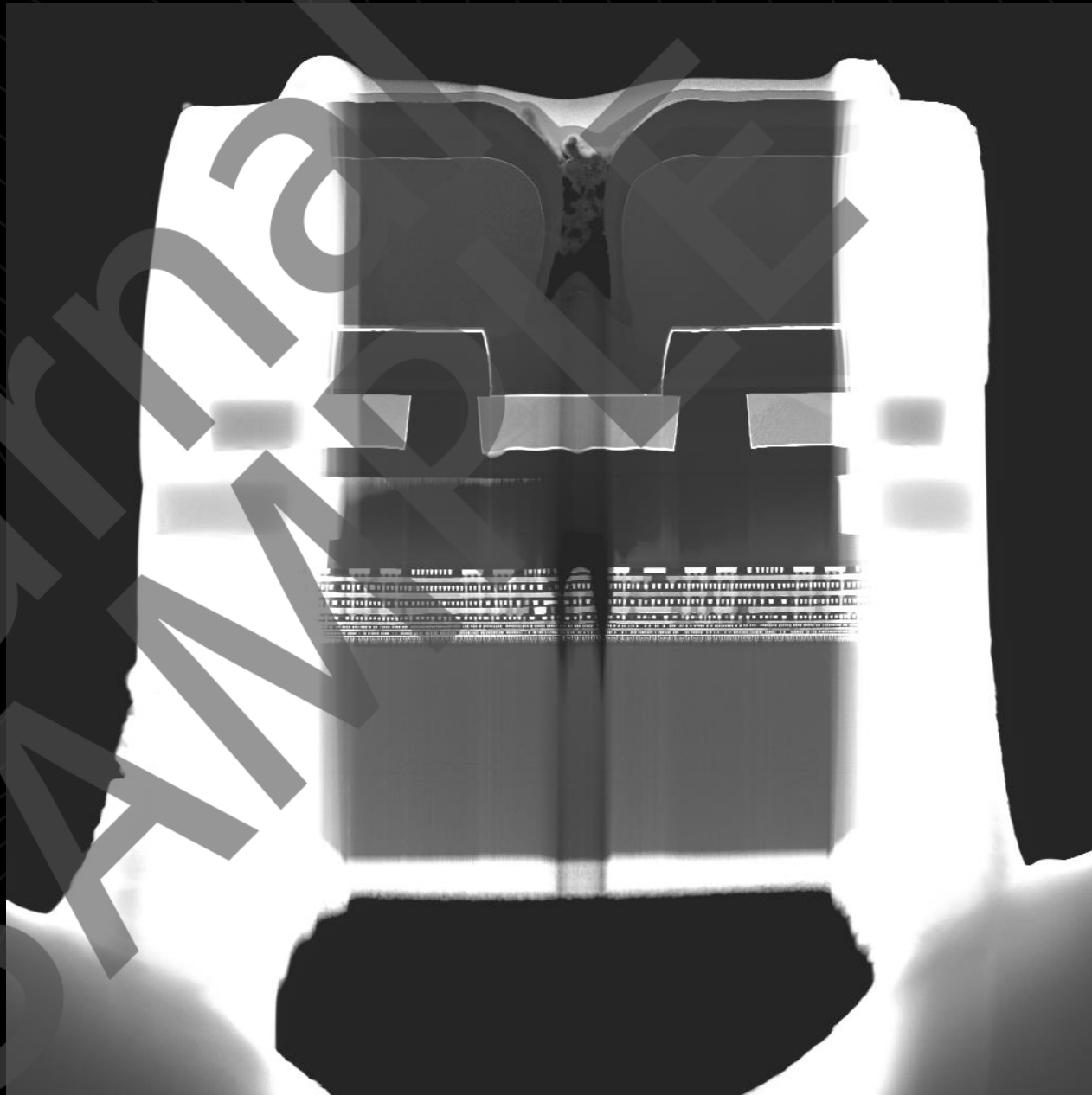
研究小团体

工艺分析-SF4-Metal

SEM的EDS还是不够清晰

需要打TEM

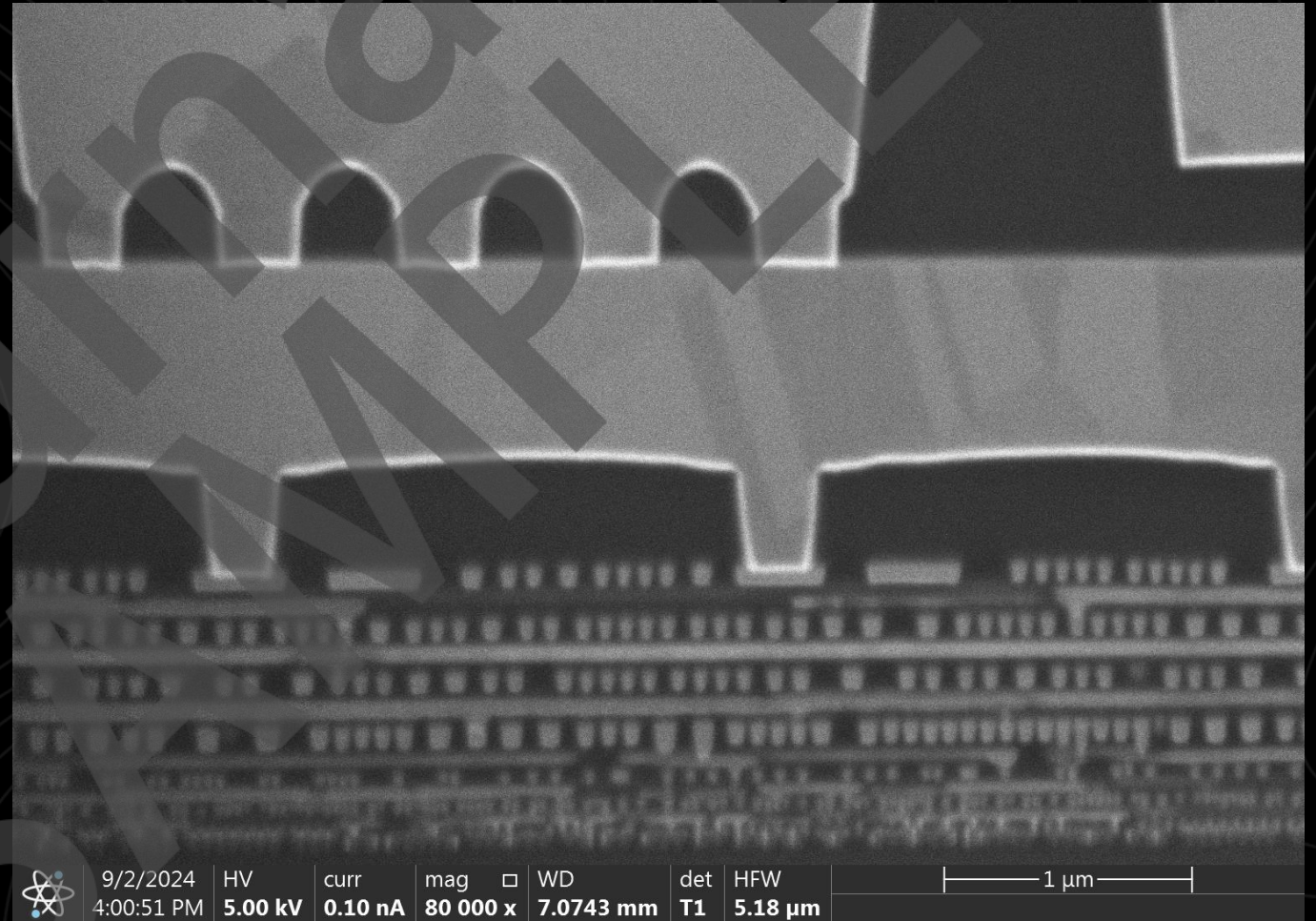
这里更能直观的看出Metal Level (步骤略)



工艺分析-SF4-Metal

放大Mid Metal与DownMetal的TEM图

可以看到若干层Metal (文件见2AY)



工艺分析-Metal-数据对比（需修正）

发现SF3/SF4的金属层在部分层上相似

但是也有不相似的地方

例如在M1层显著减少了（36-33）

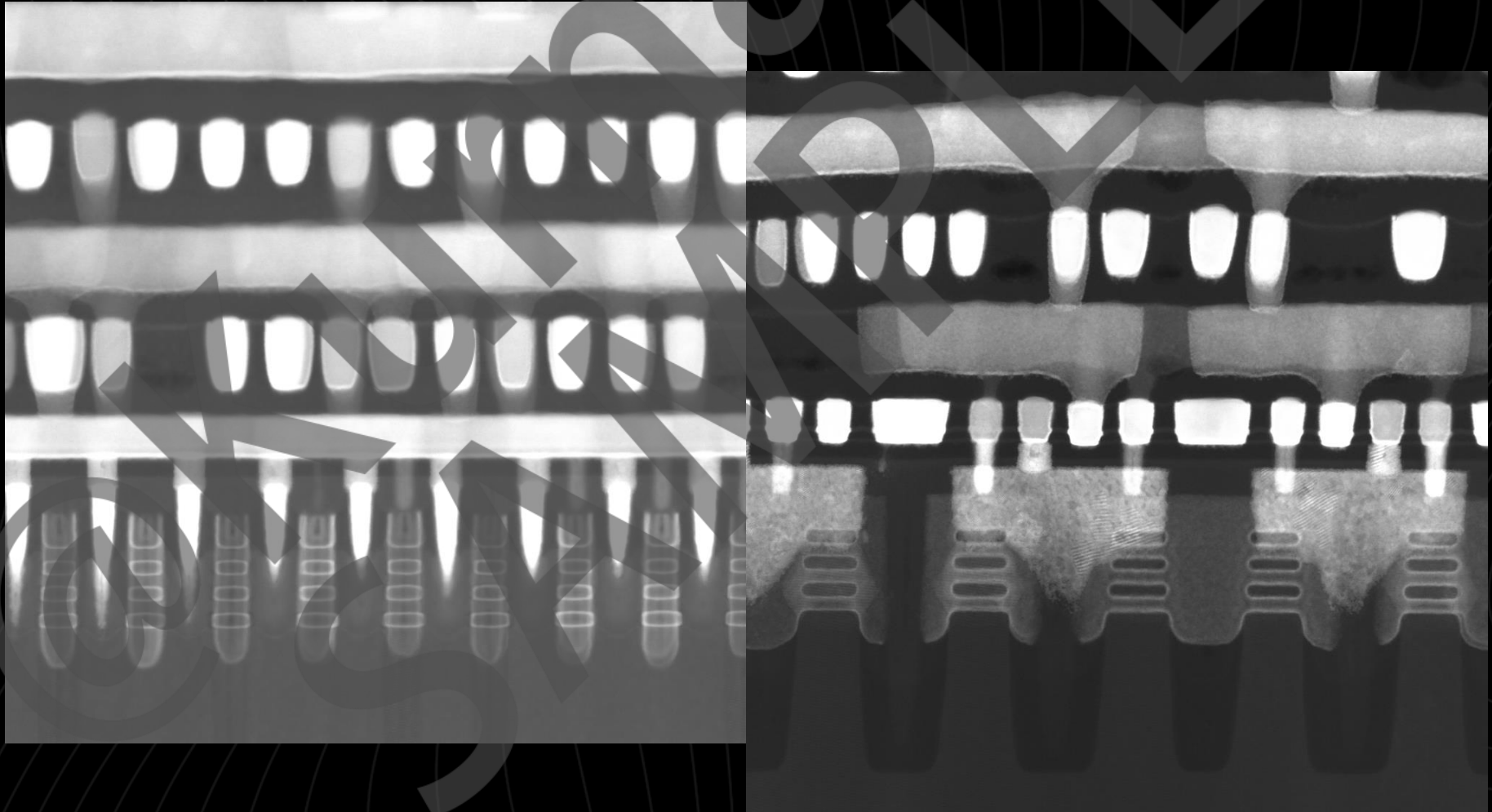
M2从33缩小至28.5等

足以证明SF3并不是单纯的SF4的GAA 工艺版

	SF3	SF4
M0	28/30	28
M1	68.23/32.94	36
M2	28.5	33
M3	36.98	44
M4	46.25	76
M5	119.41/87.05	76
M6	100/135	76
M7	120/85.29	76
M8		80
M9	77.1411	80

工艺分析-SF3

处理完晶体管层，处理Poly了（左图1AX 右1AY）

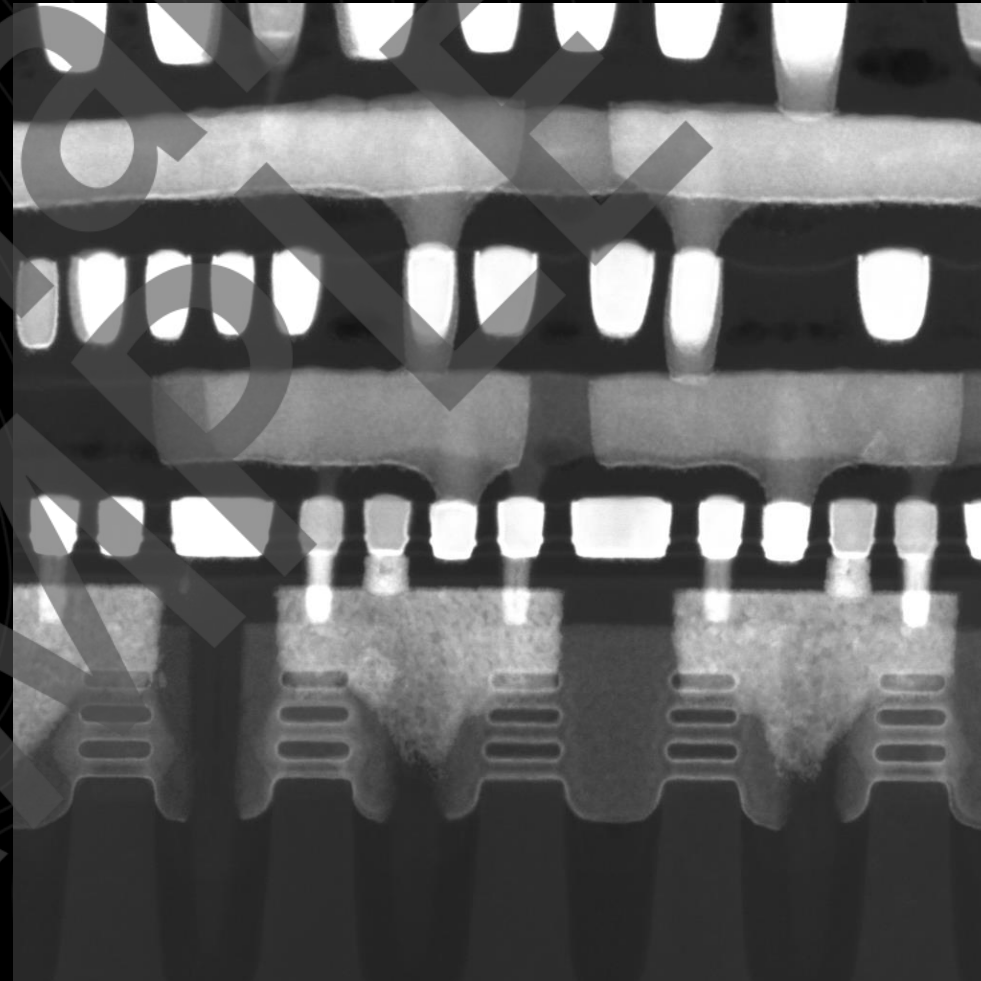


工艺分析-SF3-1AY

这个图则是1A的Y轴切割

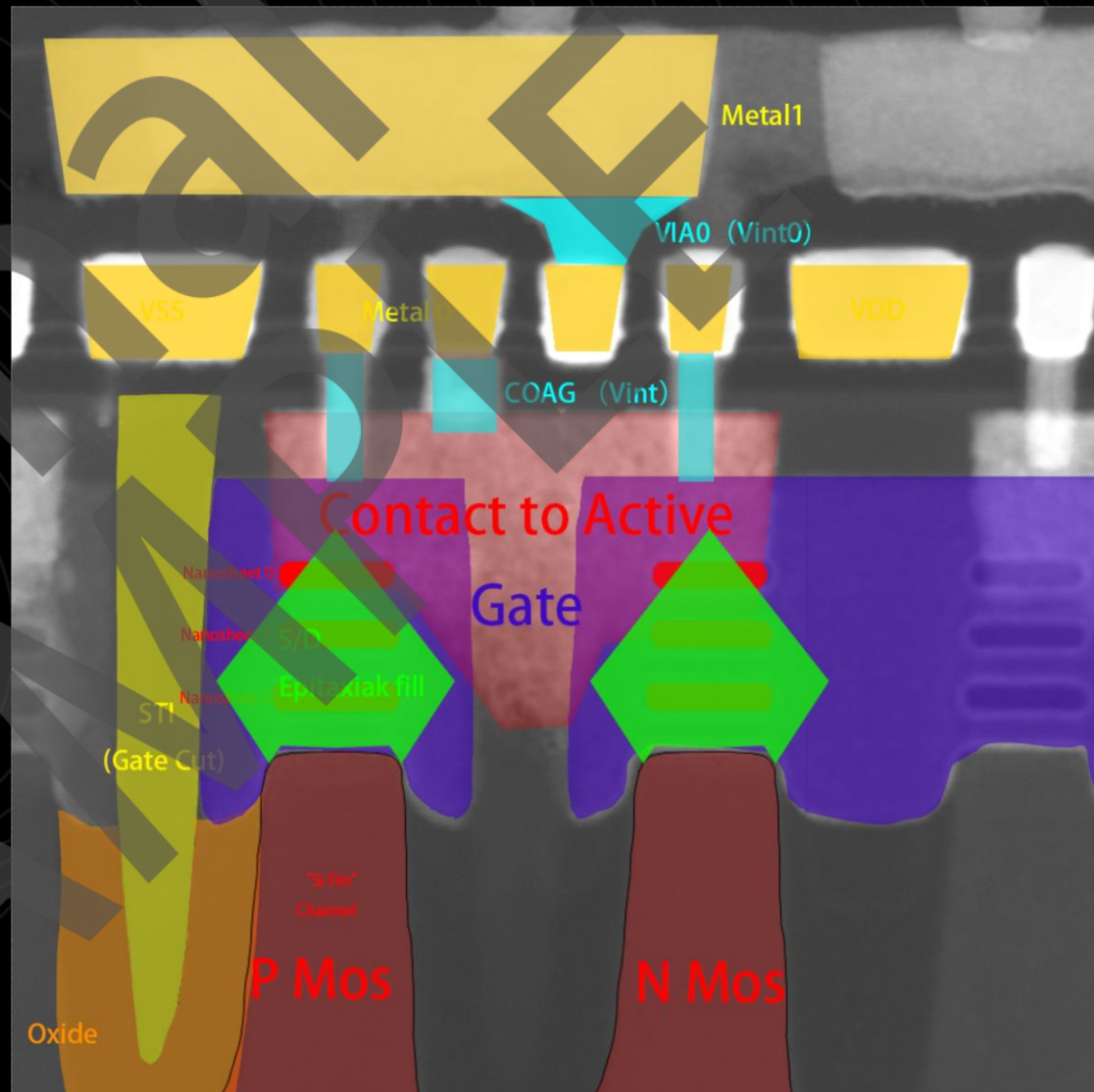
先讲Y轴是因为这最为直观

除了上面的Metal Level外 很明显能看到下面的晶体管



工艺分析-SF3-1AY

Layout之



@Kurnal

仙铜半导体研究小团体

@Kurnal

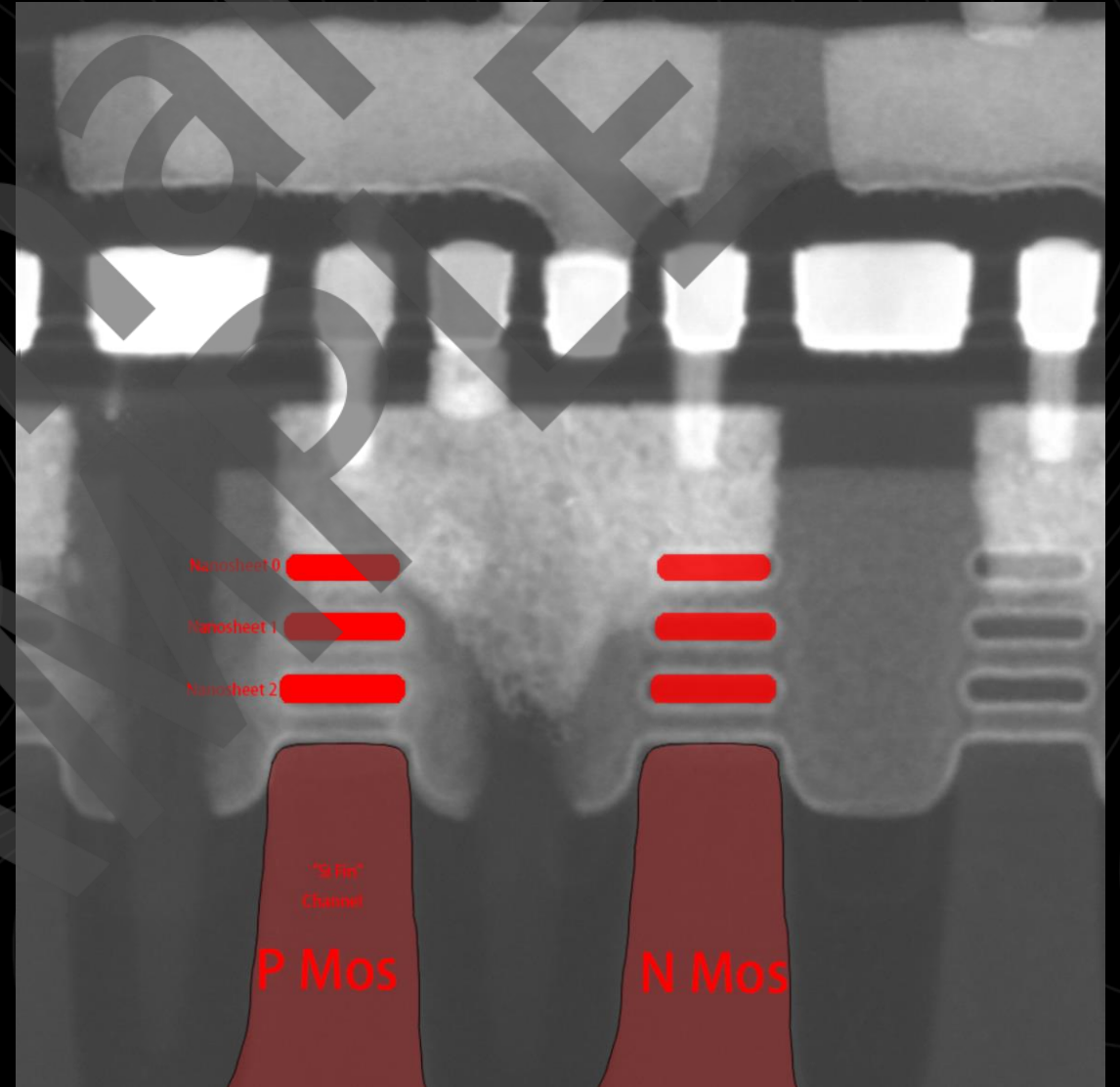
仙铜半导体研究小团体

工艺分析-SF3-1AY-FEOL-nanoSheet

这是非常直观的看出了很多数据

例如其Nano sheet

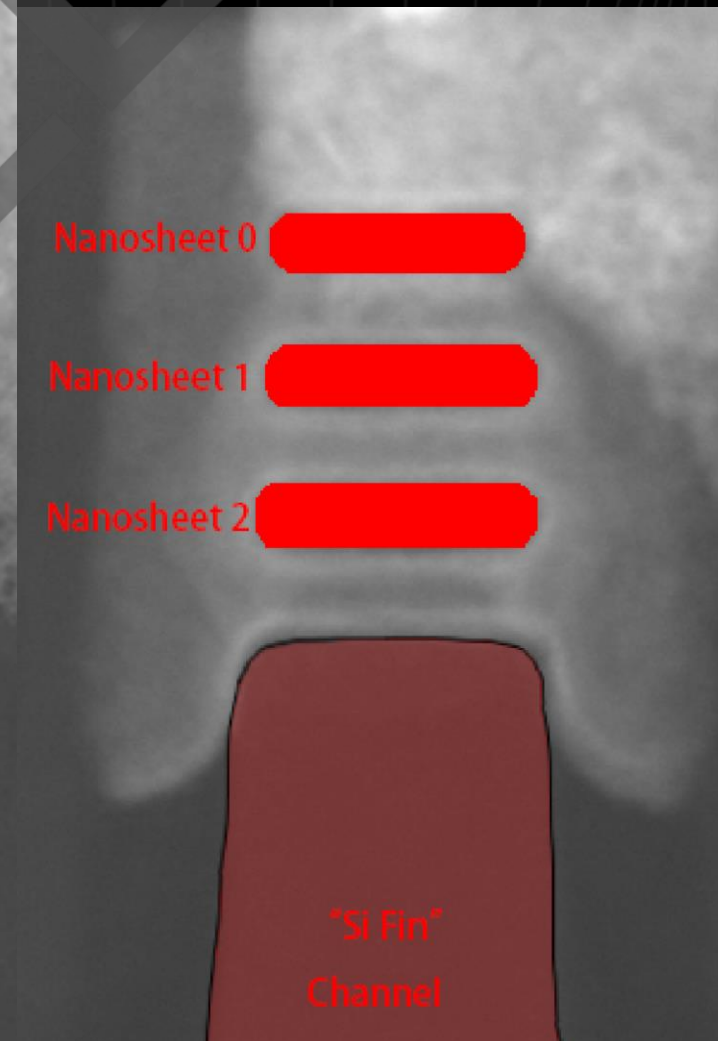
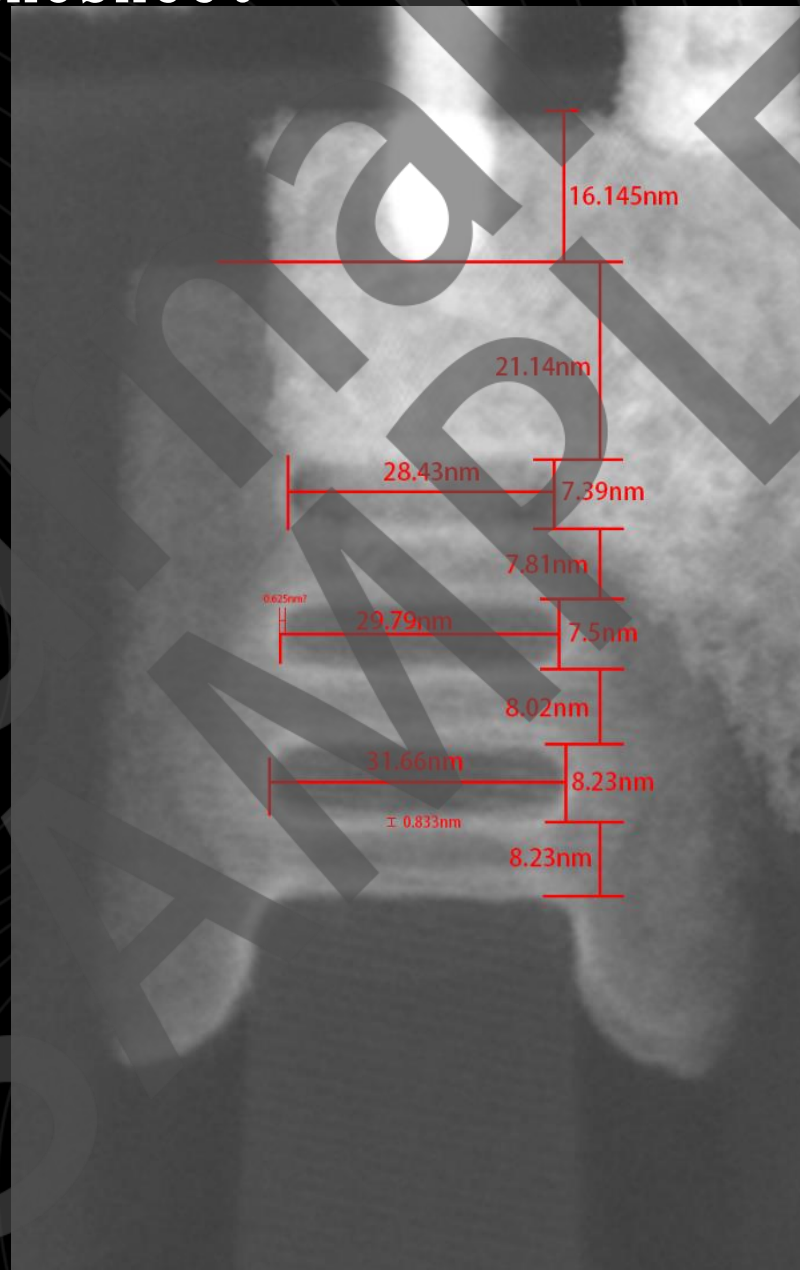
为标准的3 sheet, 其Cell为1+1



工艺分析-SF3-1AY-FEOL-nanoSheet

测绘数据

nanosheet 0 (Top)	
Sheet thickness	28.43nm
Sheet Height	7.39nm
0-1 spacing	7.81nm
nanosheet 1	
Sheet thickness	29.79nm
Sheet Height	7.5nm
1-2 spacing	8.02nm
nanosheet 2	
Sheet thickness	31.66nm
Sheet Height	8.23nm



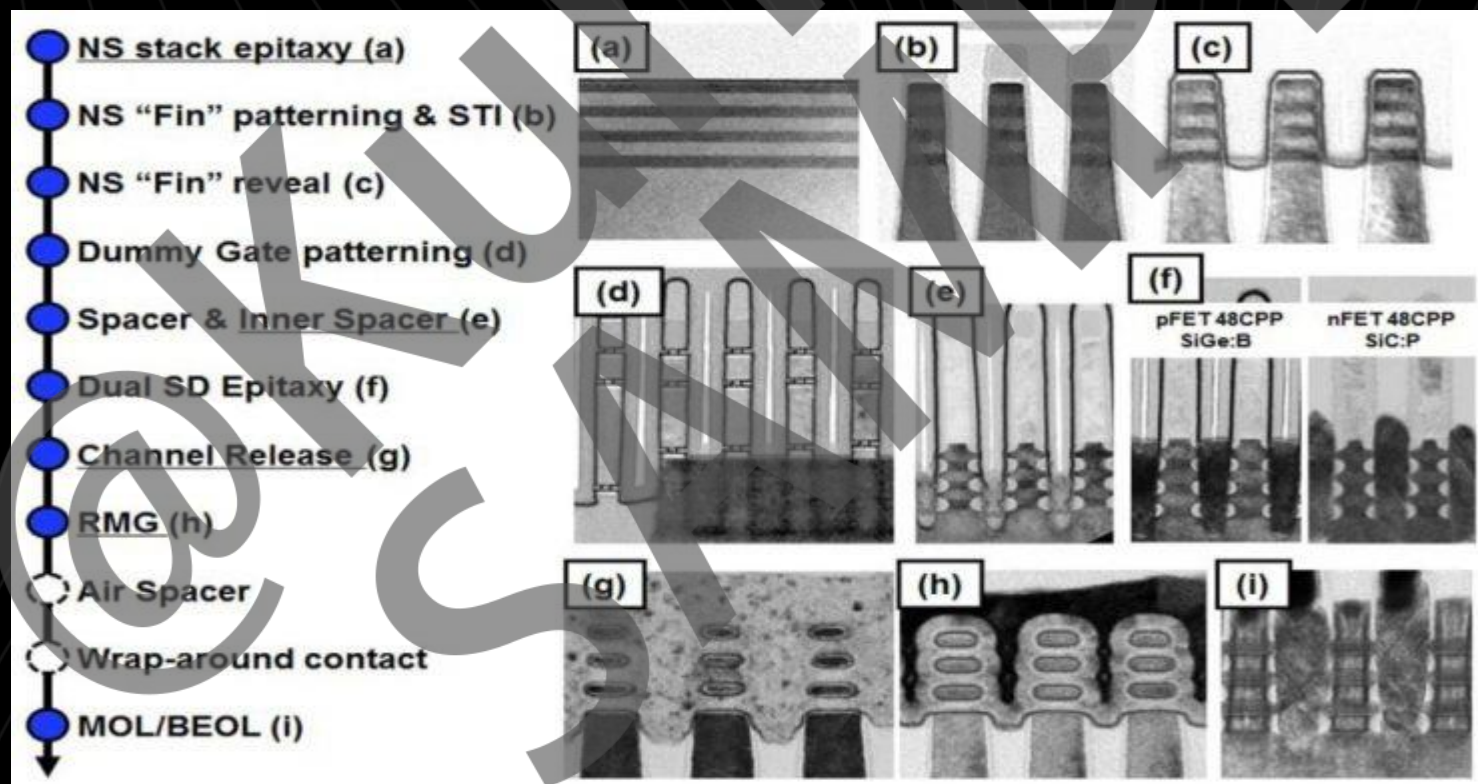
工艺分析-SF3-1AY-FEOL-nanoSheet

这其实很标准

其Sheet 厚高比约为4:1

制造流程如图 (

)



工艺分析-SF3-1AY-FE0L-nanoSheet

因为市面上没有量产的GAA产物，所以只能和TSMC N3 (Apple A17)对比了

都是目前最先进的工艺，一个是GAA，一个是Finfet

对比数据可以选用栅极接触面积，也就是

单Cell的晶体管氧化层与Gate的接触面积 (Gate Oxide Size) 来判断

这能体现出其Gate控制导电沟道的能力，

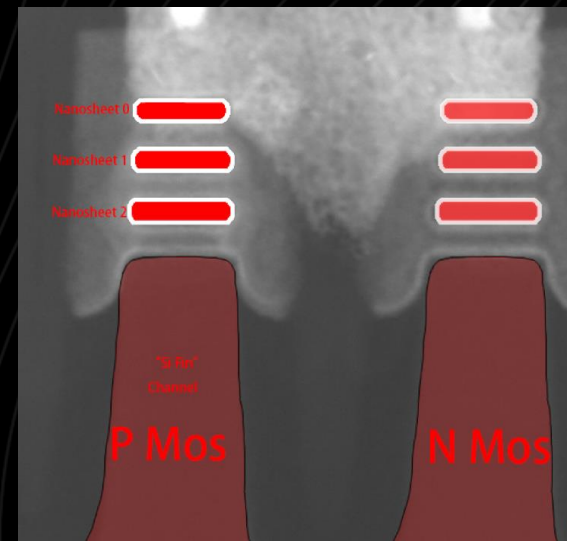
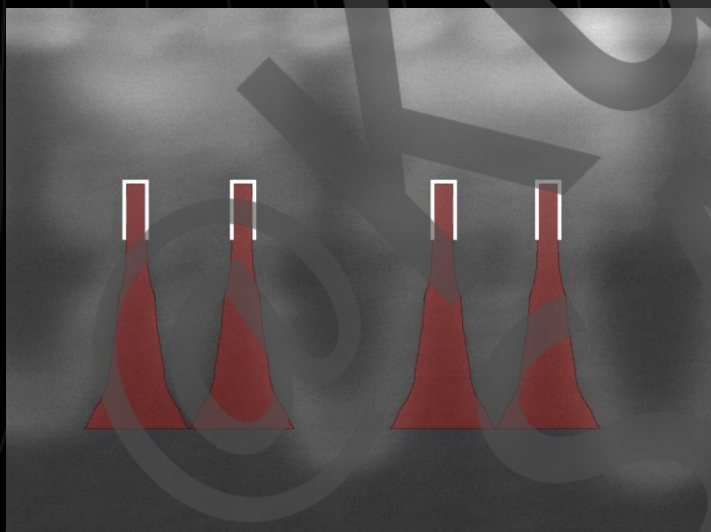
工艺分析-SF3-1AY-FEOL-nanoSheet

Finfet因为其氧化层只有Fin最顶上的3面，其控制能力并没有那么强

(虽然相比较mosfet的2d是增强了许多，但是因为其增加只能增加其宽度与高度，自由度不太够)

而GAA的优势则是其可以随意的搭配，4面环绕的形式，其接触面积也更大

从mosfet-finfet-gaafet，可以理解为是为了增大GOS做的改进，



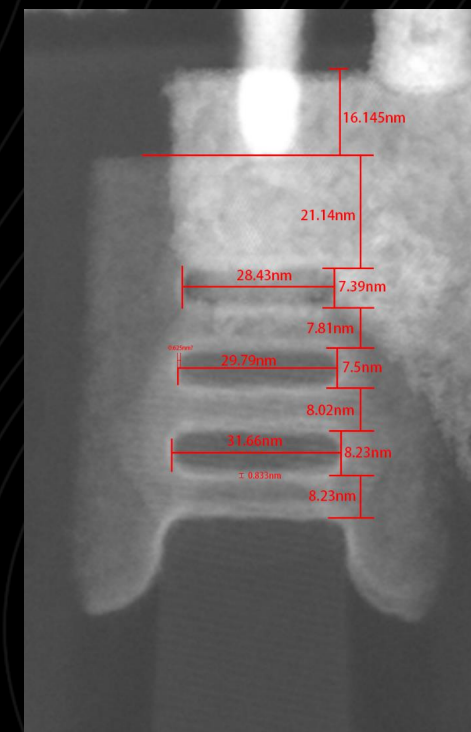
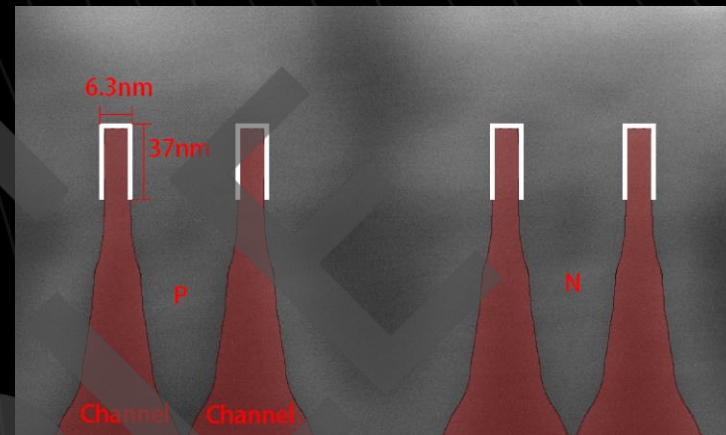
工艺分析-SF3-1AY-FE0L-nanoSheet

Finfet测绘可得

在TSMC N3 2+2Fin的情况下，其GOS为321.2nm

而3GAE的GOS为452nm

毕竟是GAA，而且还是3Nano sheet的版本



工艺分析-SF3-1AY-FEOL-nanoSheet

在TSMC中拥有3种Cell

3+2, 2+2, 2+1

已知道 TSMC N3下的单Fin GOS=80nm

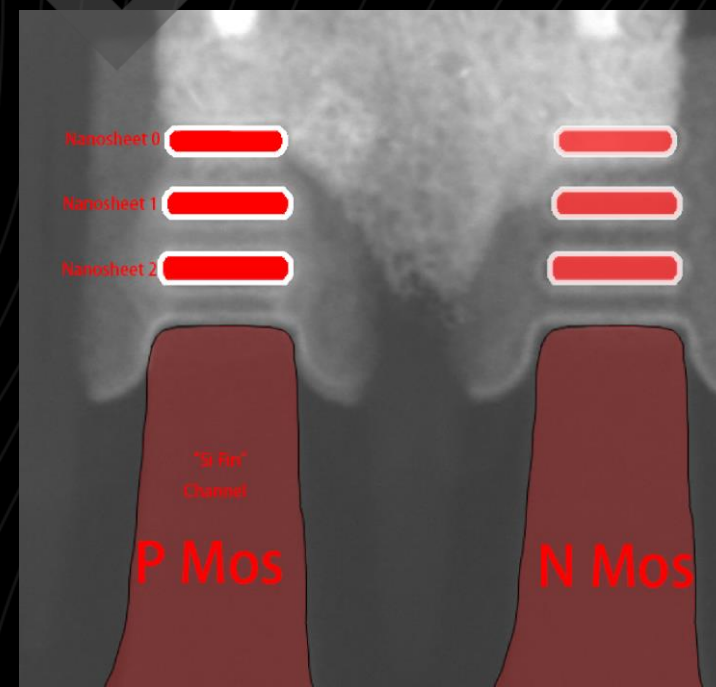
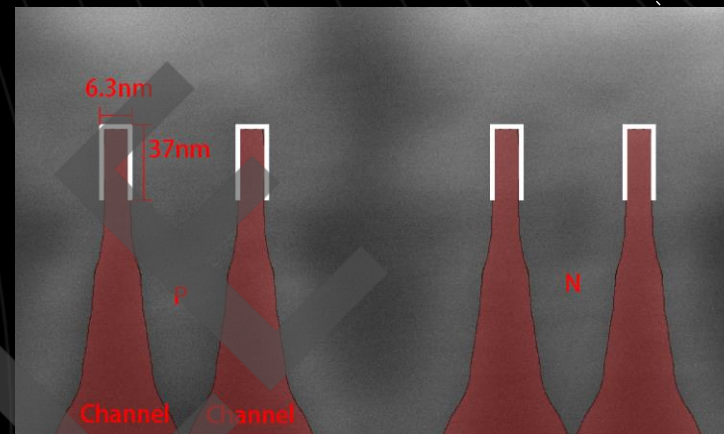
3+2=400nm

2+2=320nm

2+1=240nm

而3GAE的 1+1 就是452nm了

而且GAA在 Cell H方面也有优势



@Kurnal

仙铜半导体研究小团体

@Kurnal

仙铜半导体研究小团体

工艺分析-SF3-1AY-FEOL-nanoSheet

粗略的可以说（例如在TSMC N3中）

如果要想提高GOS，来达到更好的栅极控制通道能力

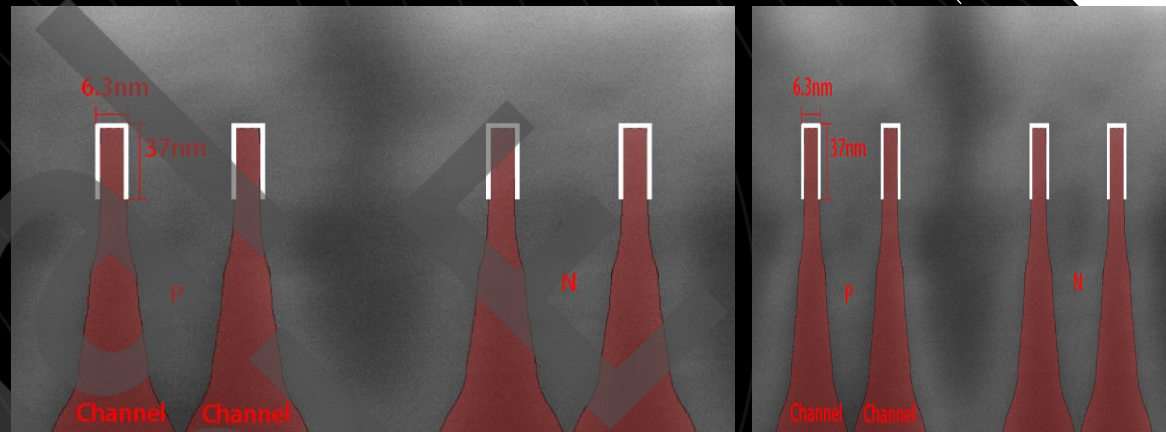
在finfet的方案上，只能多增加fin，

而增加Fin会导致整个Cell的H增加

例如2+2Fin-3+3Fin，需要提升56nm的Cell H

而增加密度就只能缩小CH/缩小CGP

为了缩小CH，可以选择缩小缩小Fin Pitch，但是Fin pitch也基本到头了，同样的对STI的要求也会提高



工艺分析-SF3-1AY-FEOL-nanoSheet

而GAA不一样了，在Finfet中是 $W+2H$ ，而Nanosheet则是 $2W+2H$ ，GOS显著提高

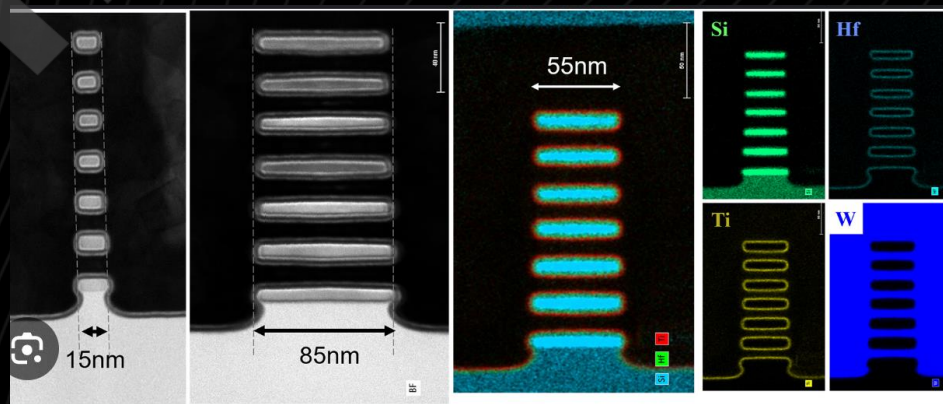
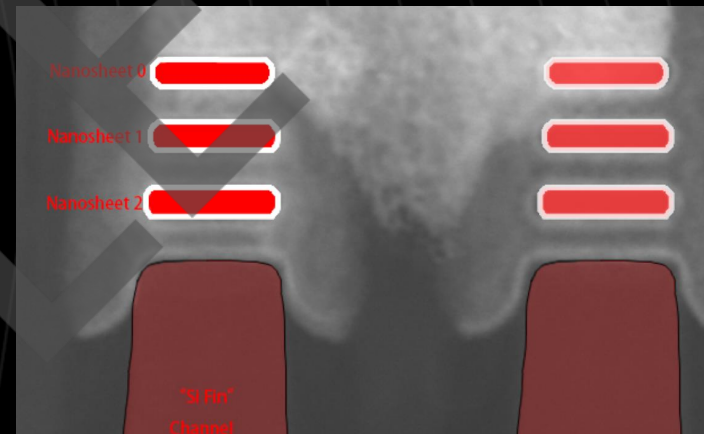
而且如果后续还想提高GOS，可以多堆叠几层Nano Sheet

这样就可以多增加几组而且其Cell H 不会增加，更自由了

那么这个是什么思路呢！CFET！

或者未来采用纳米线的方案

因为纳米线可以允许更小间距以及更大的表面积/体积比

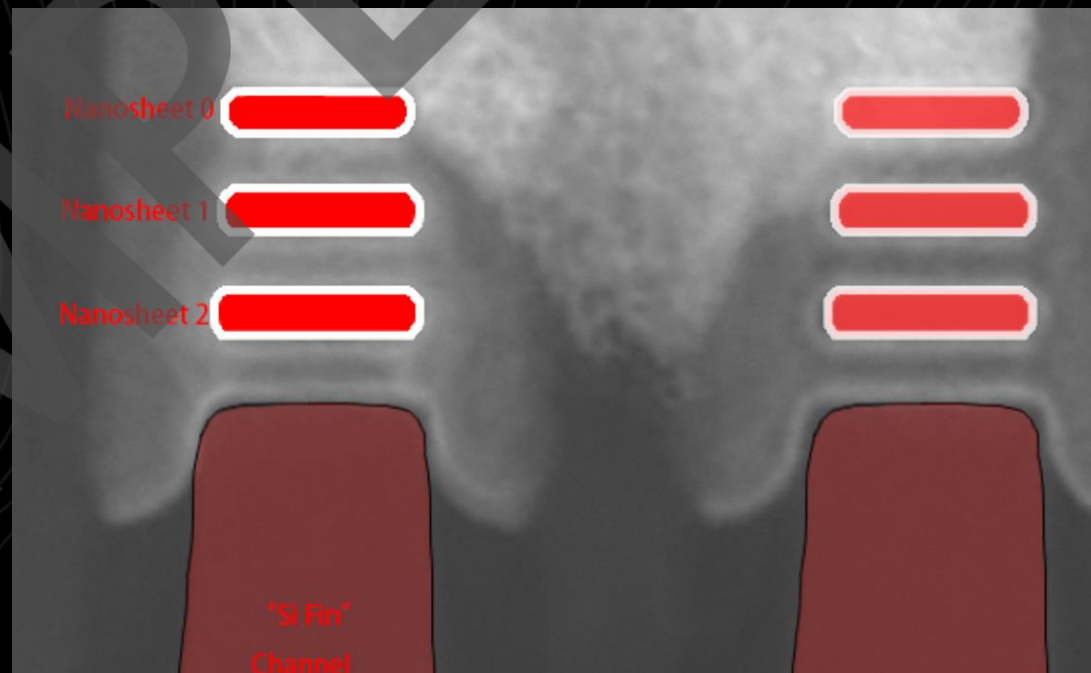


工艺分析-SF3-1AY-FEOL-nanoSheet

在制造方面

因为是CVD/ALD,对其机台的Overlay要求并没有那么高了（不需要SAXP）毕竟“90nm的FinPitch”

但是因为步骤多更多了，导致其FEOL层的Yield 始终下不去
像是3Sigma一样了，而且对CVD/ALD/刻蚀机台要求更高了

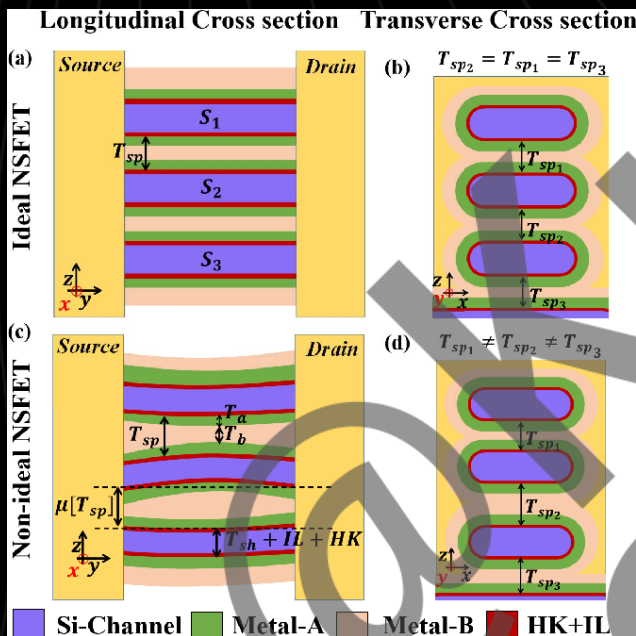


工艺分析-SF3-1AY-FEOL-nanoSheet

失效案例:

1: 10.1109/TED.2019.2933061

metal thickness variation (MTV)



然而, 板间距可能会发生变化, 从而导致金属厚度变化 (MTV), 如图 1 所示。无论这些变化的来源如何, 它们都可能导致关键晶体管参数 (如 V_T 、 SS 、 I_{ON} 和 $DIBL$) 的器件间显著变化。更重要的是, 需要单独了解这些变化的行为以及它们对晶体管可变性的综合影响

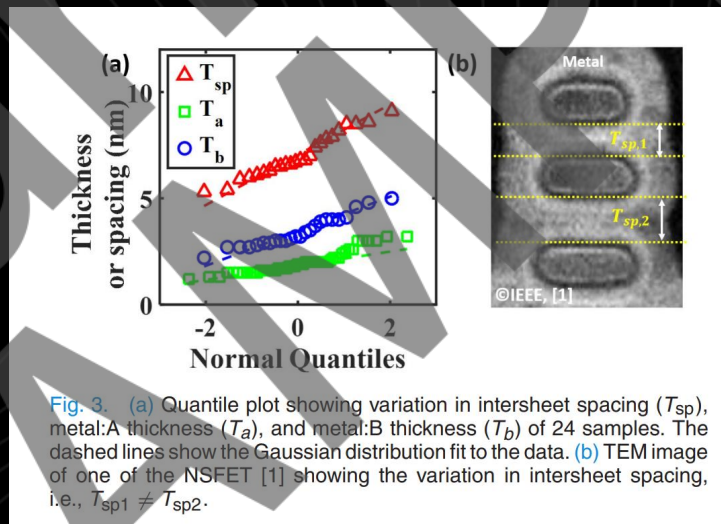


Fig. 3. (a) Quantile plot showing variation in intersheet spacing (T_{sp}), metal:A thickness (T_a), and metal:B thickness (T_b) of 24 samples. The dashed lines show the Gaussian distribution fit to the data. (b) TEM image of one of the NSFET [1] showing the variation in intersheet spacing, i.e., $T_{sp1} \neq T_{sp2}$.

工艺分析-SF3-1AY-FEOL-nanoSheet

该案例是否解决

其实就是求不同位置的TSP pitch是否一样。区域一致性

我们这次是自己制作的工艺分析

所以可以随意的做这种一时兴起的分析，不必限于他人

分位数图显示了 24 个样品的

片间距 (T_{sp})

金属:A 厚度 (T_a)

金属:B 厚度 (T_b) 的变化。

虚线显示与数据拟合的高斯分布。

(b) 其中一个 NSFET [1] 的 TEM 图像，显示片间

距的变化，即 $T_{sp1} \neq T_{sp2}$ 。

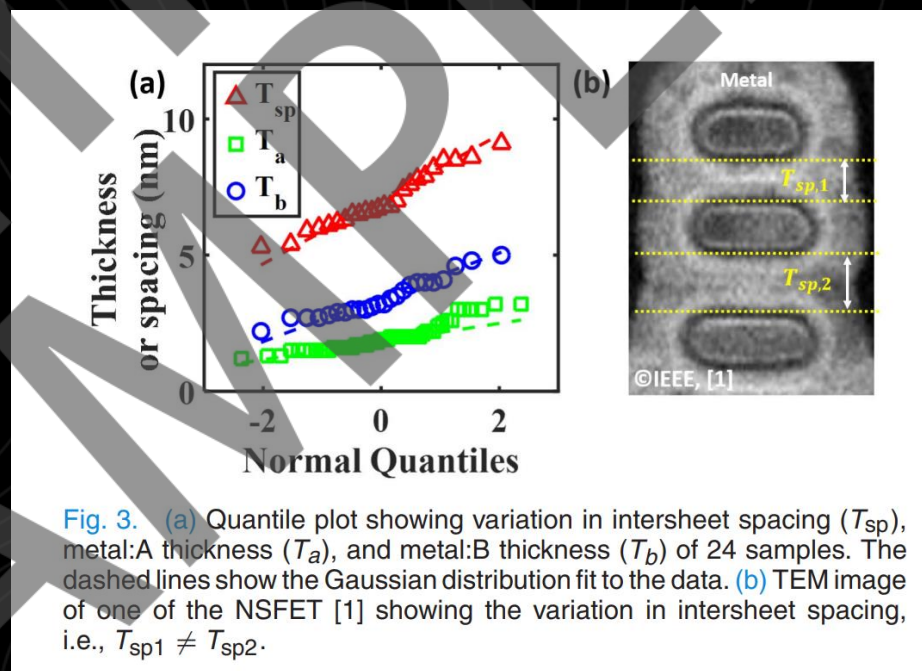
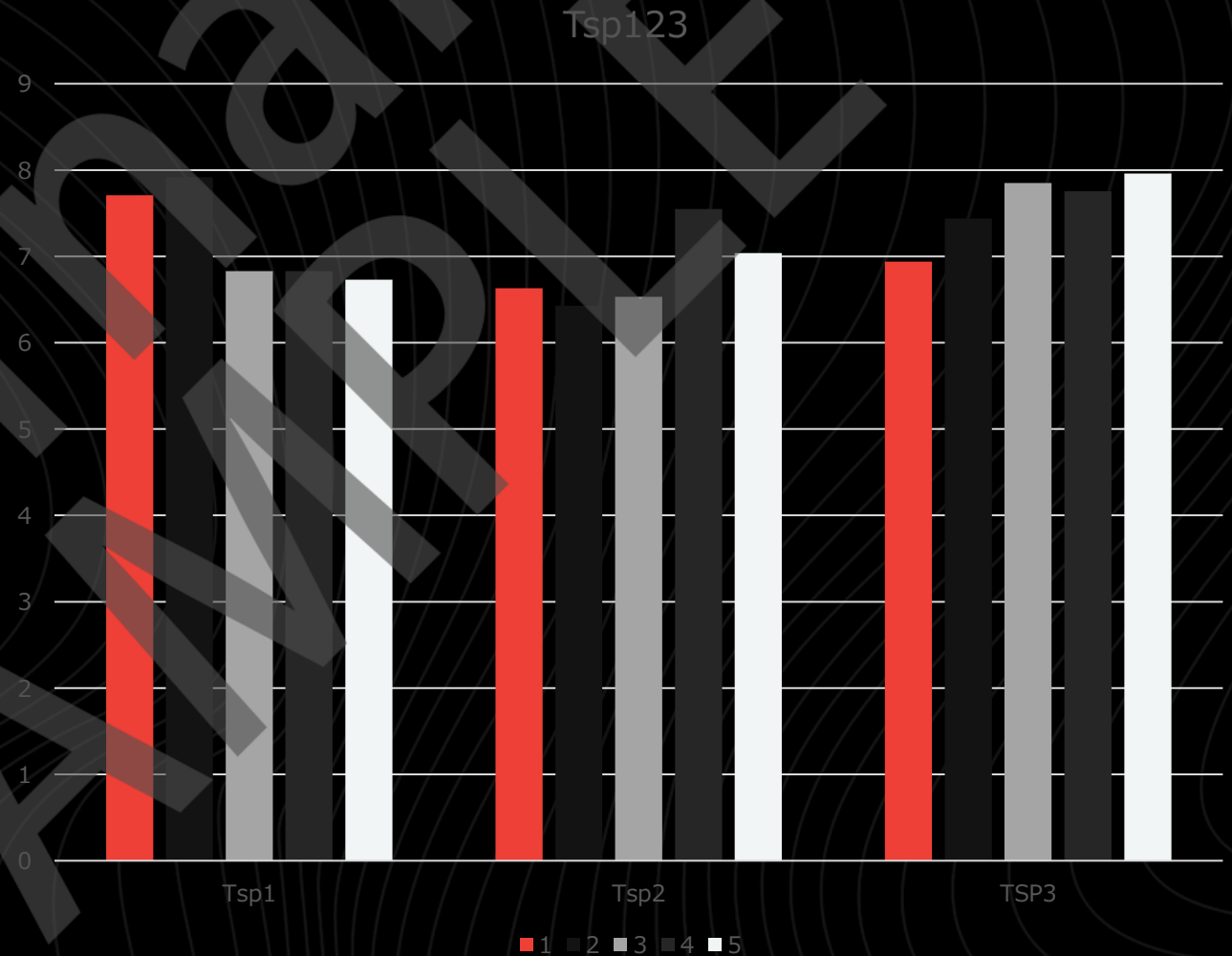
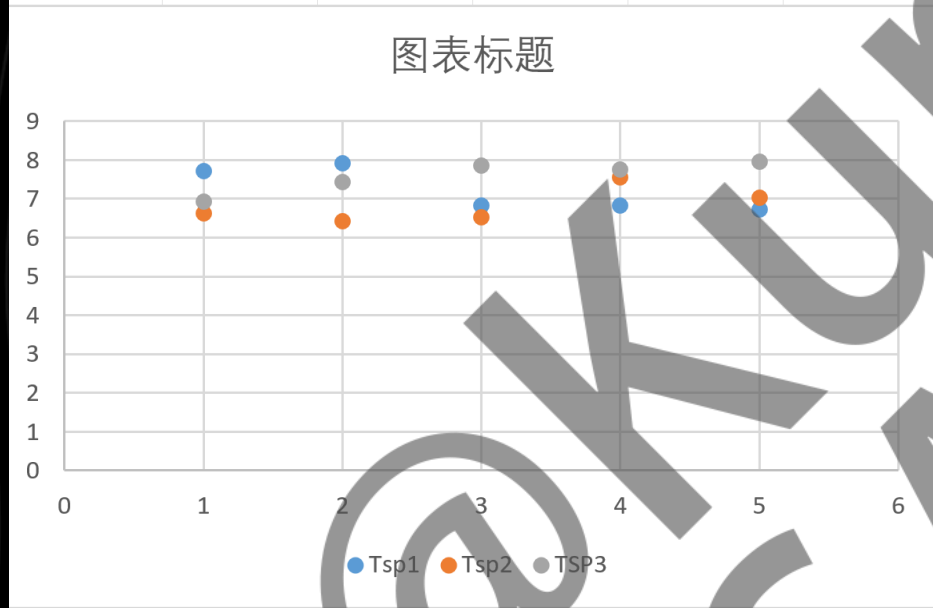


Fig. 3. (a) Quantile plot showing variation in intersheet spacing (T_{sp}), metal:A thickness (T_a), and metal:B thickness (T_b) of 24 samples. The dashed lines show the Gaussian distribution fit to the data. (b) TEM image of one of the NSFET [1] showing the variation in intersheet spacing, i.e., $T_{sp1} \neq T_{sp2}$.

工艺分析-SF3-1AY-FEOL-nanoSheet

怎么说呢，单纯好奇一下而已

	1	2	3	4	5
Tsp1	7.708	7.916	6.83	6.83	6.73
Tsp2	6.63	6.428	6.53	7.55	7.04
TSP3	6.938	7.44	7.85	7.755	7.959



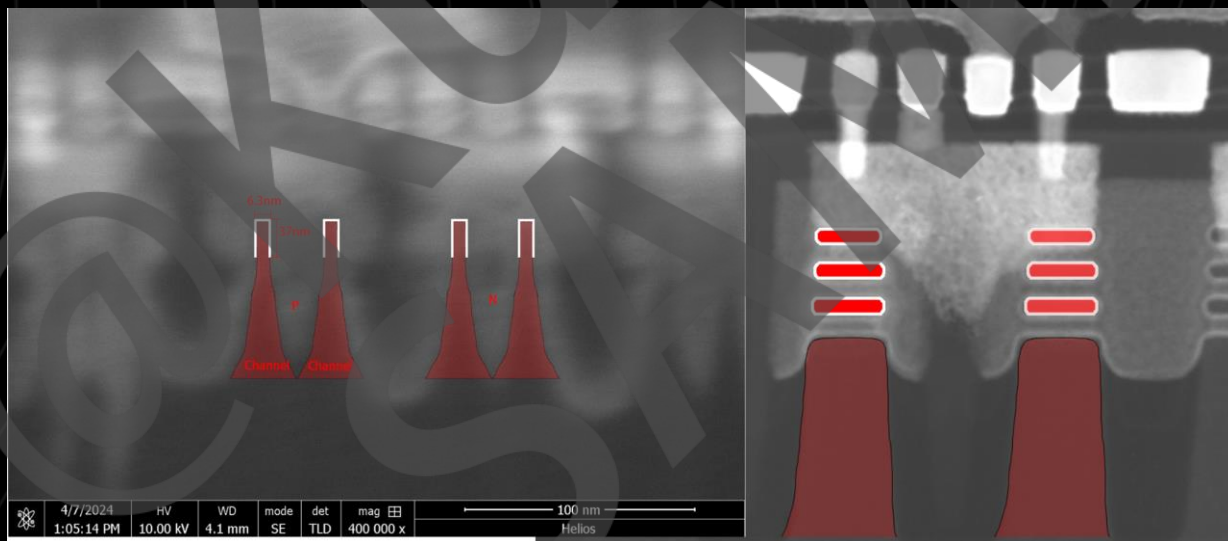
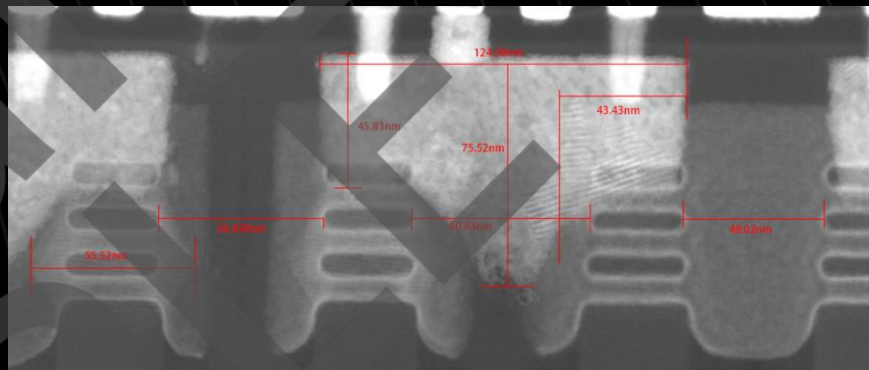
工艺分析-SF3-1AY-FE0L-nanoSheet

在3GAE 1+1中

3GAE的“Fin Pitch”为 $30+60=90\text{nm}$ (按照P/N计算)

而TSMC N3的Fin Pitch 为 28nm , 但是毕竟不是同一个P/N

所以实际的P/N Pitch为 89nm , 与3GAE的PN Pitch 90nm 相近



工艺分析-SF3-1AY-FEOL-Gate

Gate其实重要数据在1AX轴上，这里不做分析



工艺分析-SF3-1AY-FEOL-Contact

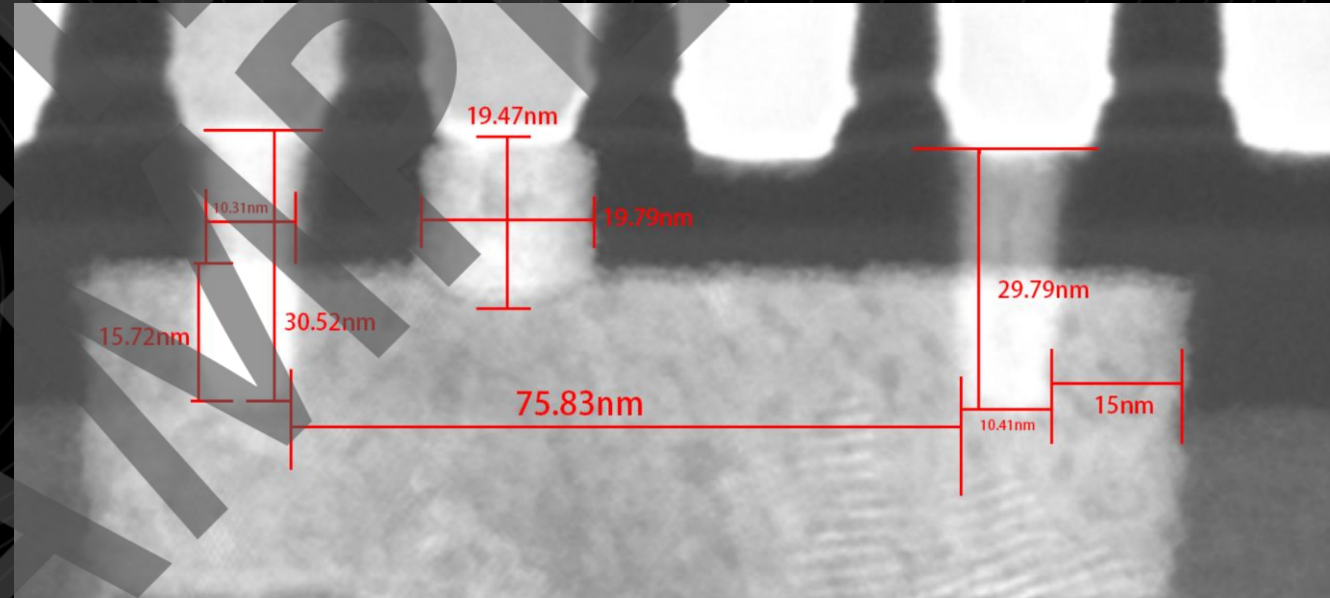
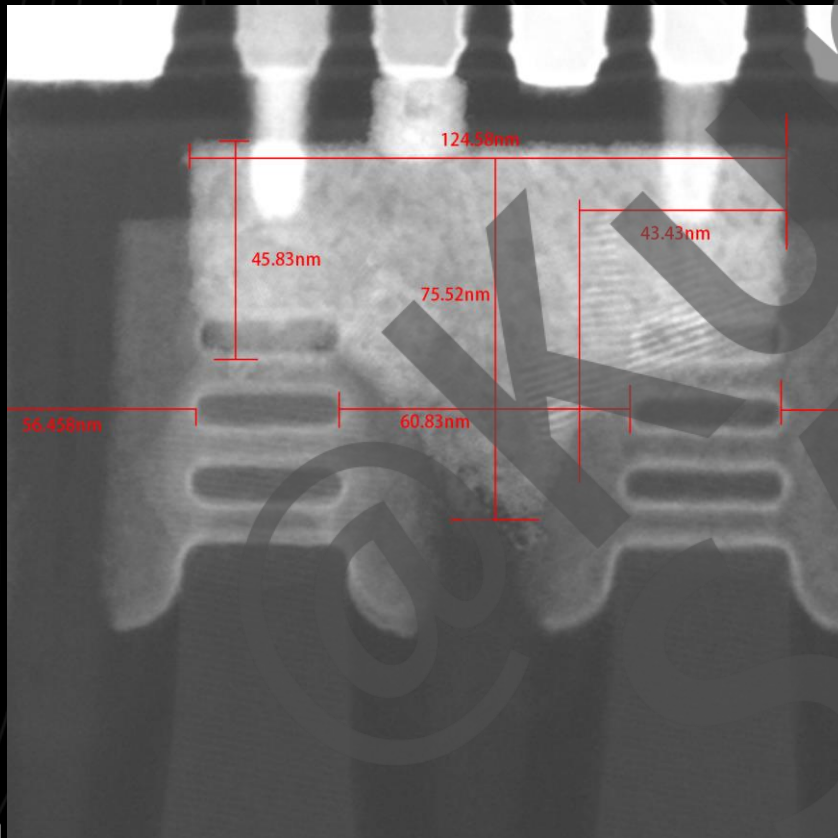
在Gate上方则是Contact，负责接触Gate-Vint



工艺分析-SF3-1AY-FEOL-Contact

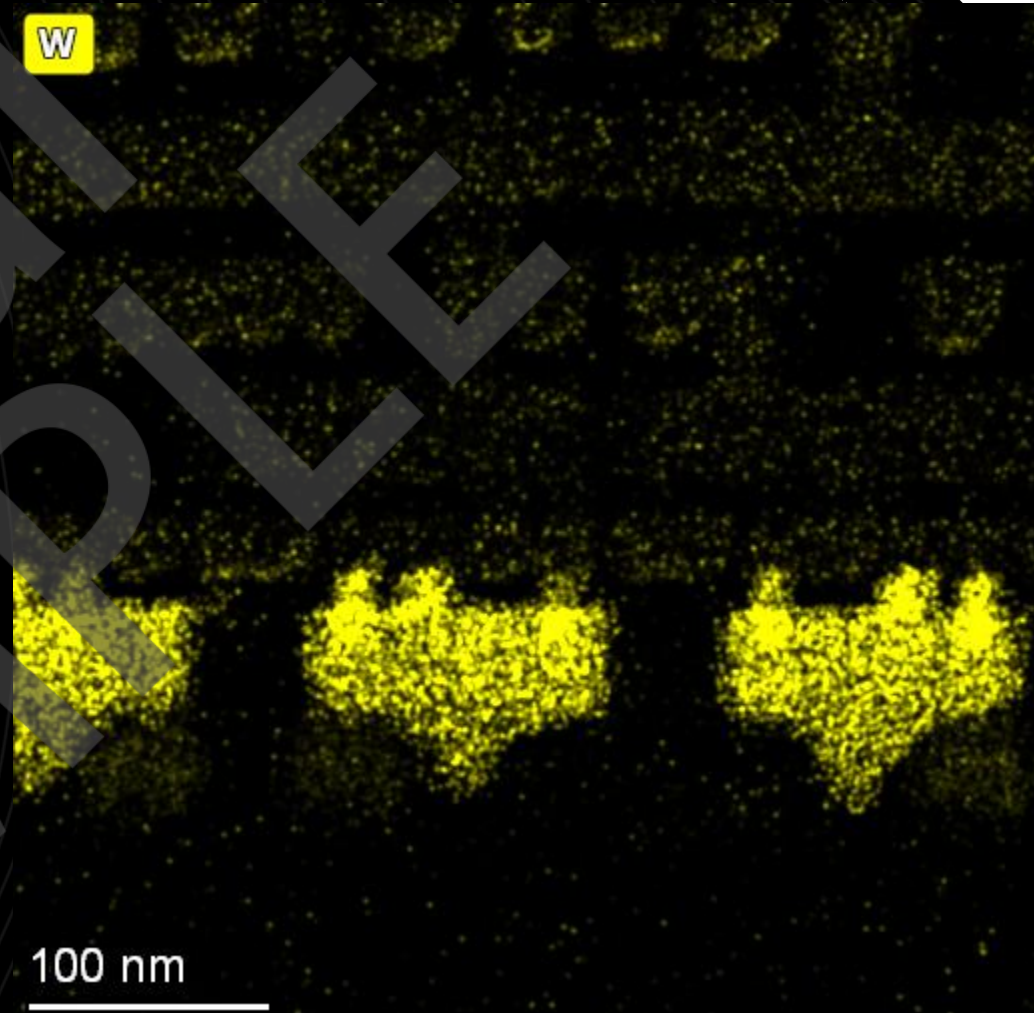
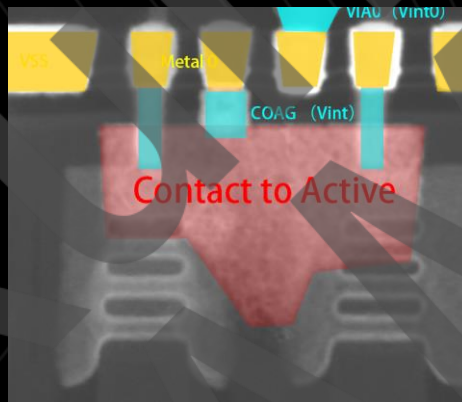
在Contact上面其实有COAG(后面讲)

测绘尺寸



工艺分析-SF3-1AY-FEOL-Contact

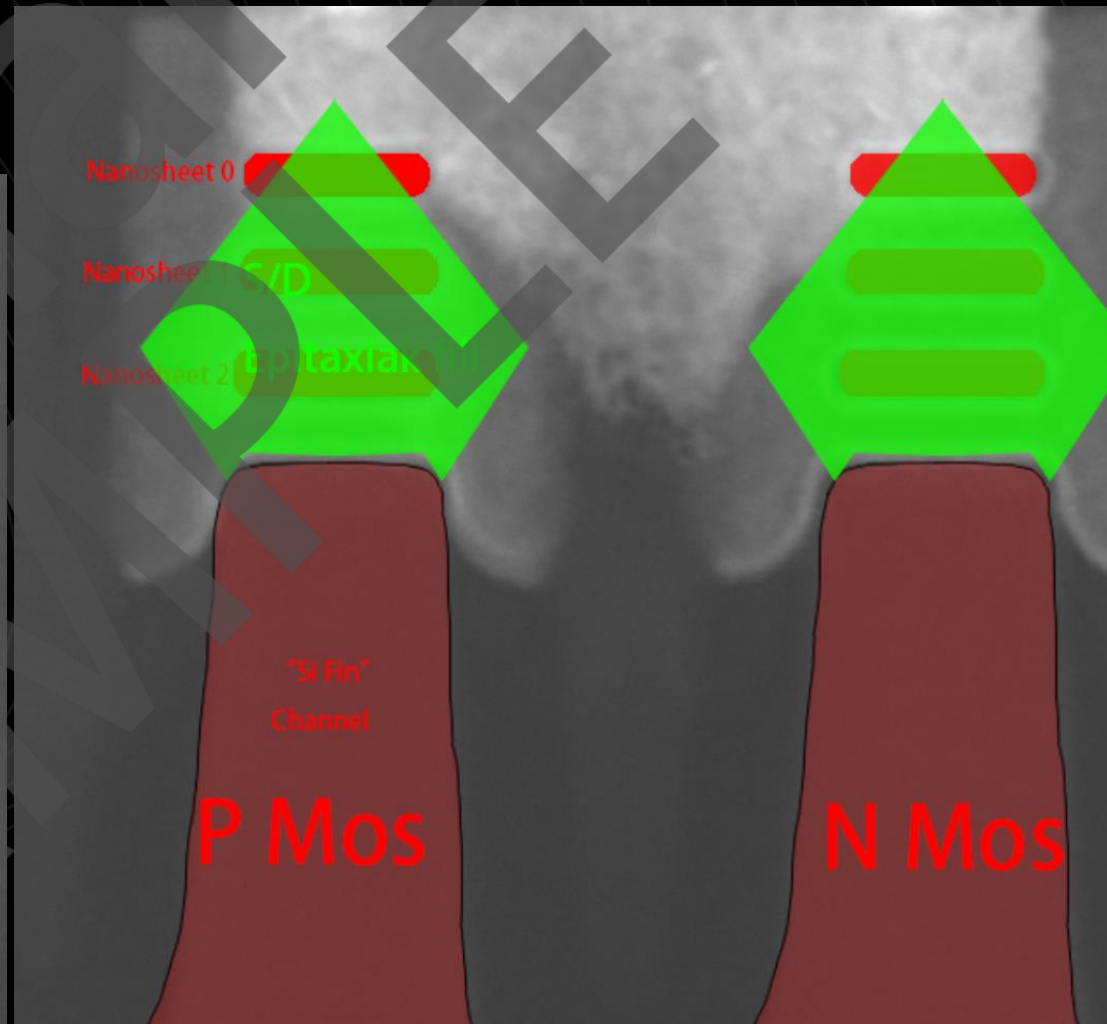
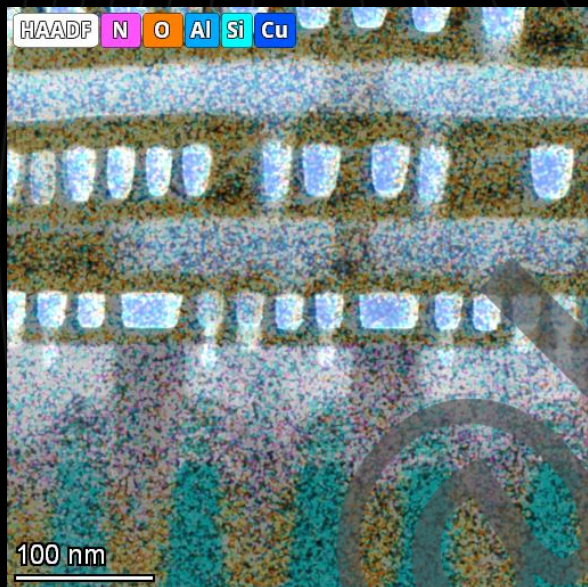
Contact区域进行能谱扫描可以发现
其Contact与Vint 都是用w制作的



工艺分析-SF3-1AY-FEOL-外延

外衍我不知道能怎么分析，就放指示图把

为菱形，材料不确定



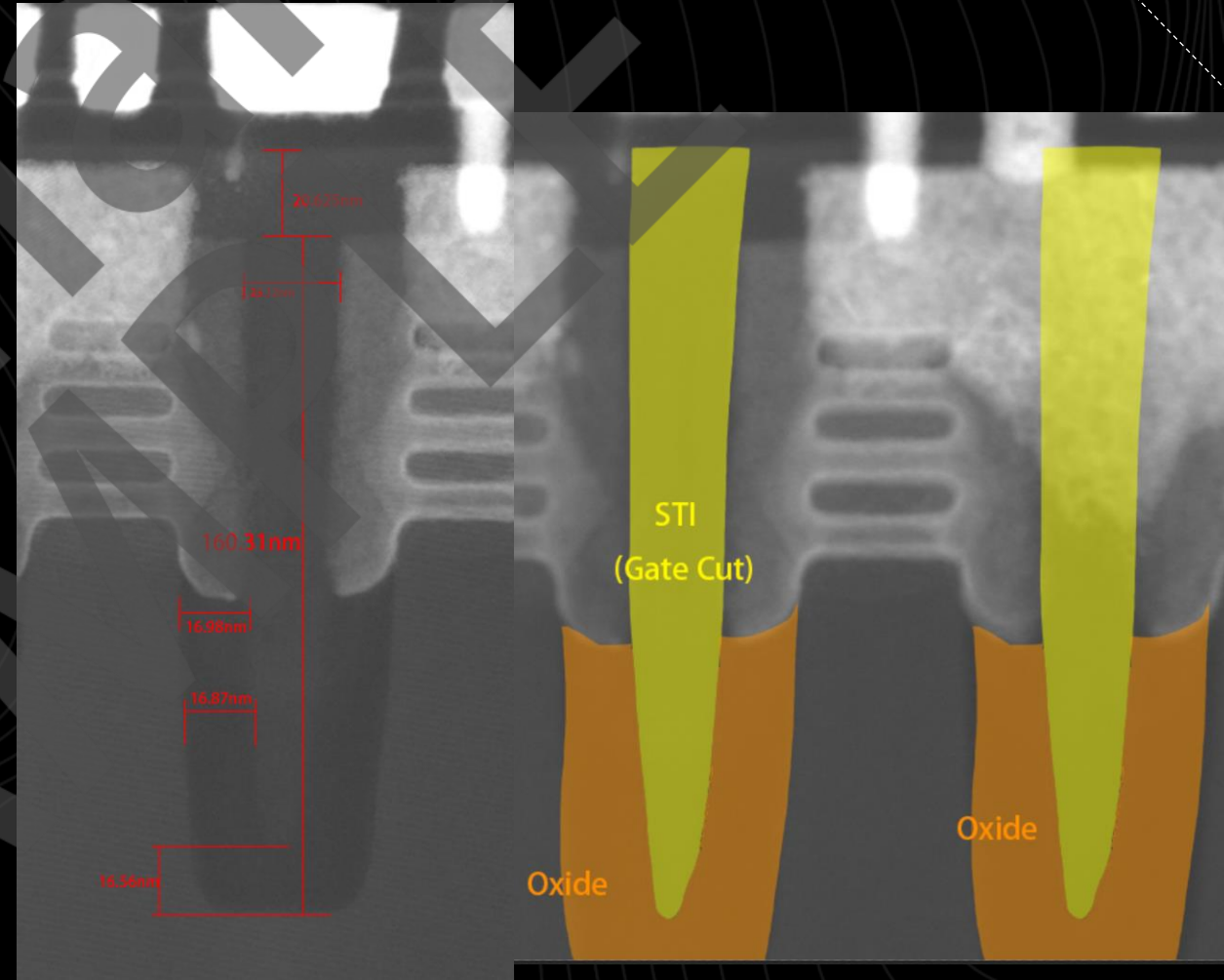
工艺分析-SF3-1AY-FEOL-STI

在P/N之间与Cell/Cell之间 皆有Sti做隔离

STI Height (No Oxide) 大概是164nm

STI opening width 约为23.12nm

STI Oxide thickness大概是17nm-16.5nm



工艺分析-SF3-1AY-FEOL-Cell H

除了晶体管外

还需要重点谈一下金属层

因为晶体管定了Metal Pitch

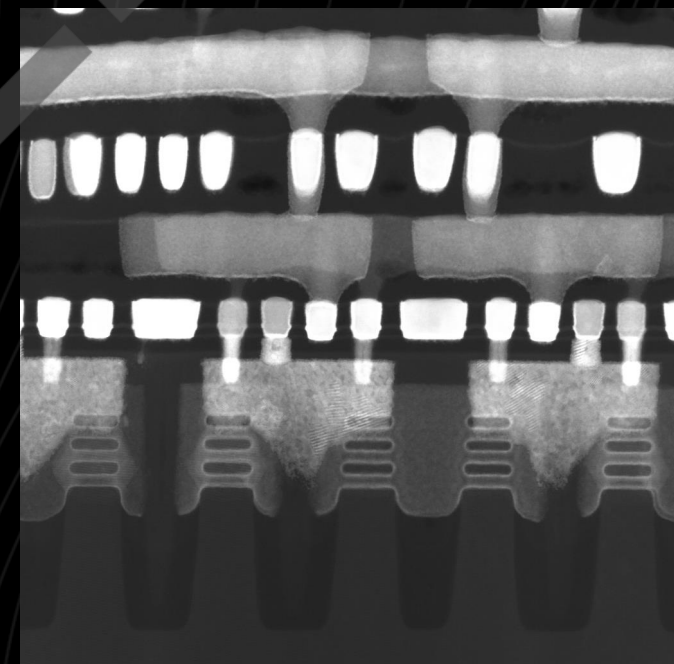
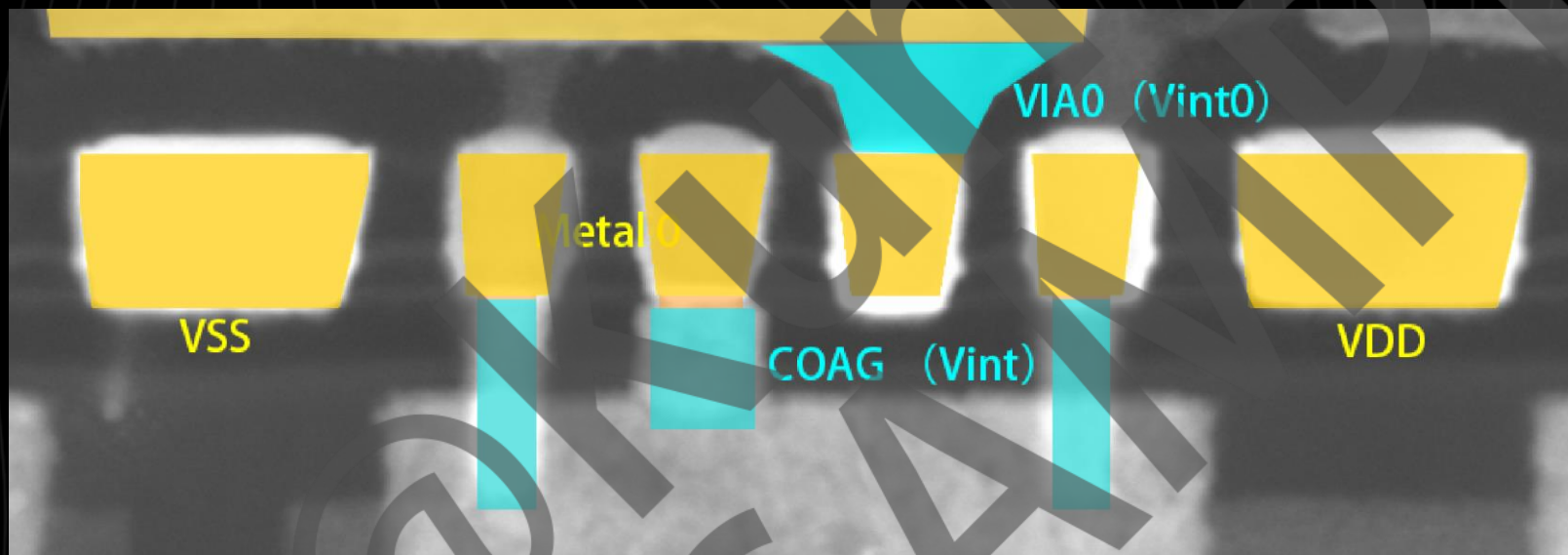
而Metal Pitch又影响了Cell H, Cell H影响了密度, 所以标题写CH

可能已经有人发现了, 最下面的Metal层很有规律



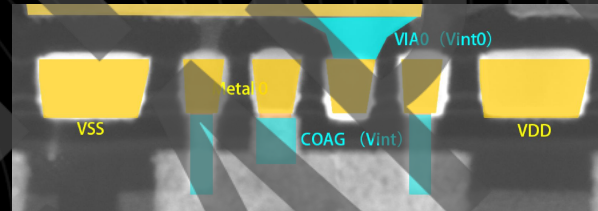
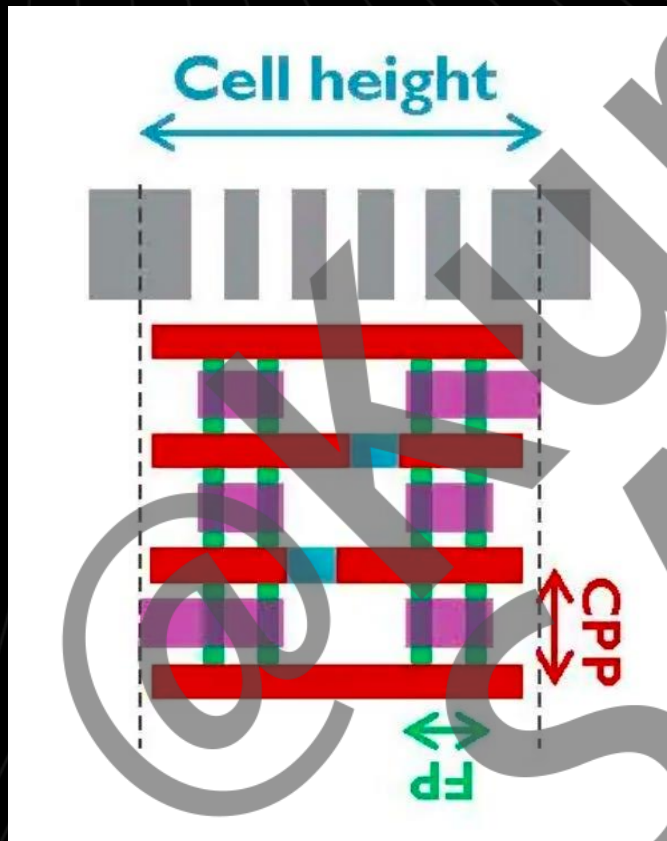
工艺分析-SF3-1AY-FEOL-Cell H

在这张图的FEOL层，我们能很清楚的发现其在Nanosheet上方的轨道Metal为M0层，其4条Metal穿过Cell，左右为VSS/VDD，负责供电（VSS-S,VDD-D）



工艺分析-SF3-1AY-FEOL-Meta0

根据分析，推测判断其为6Track

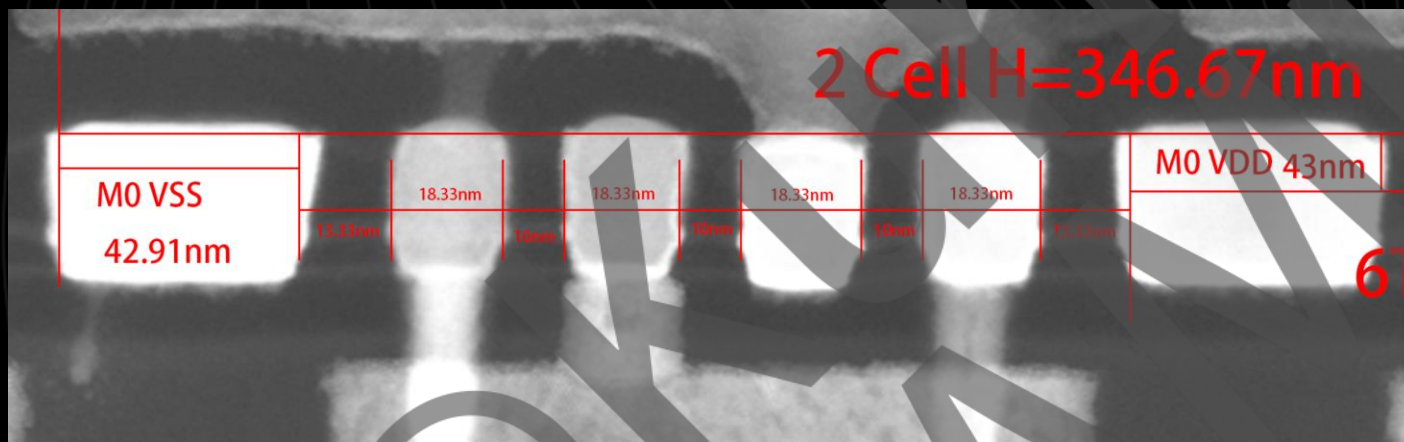


工艺分析-SF3-1AY-FEOL-Meta0

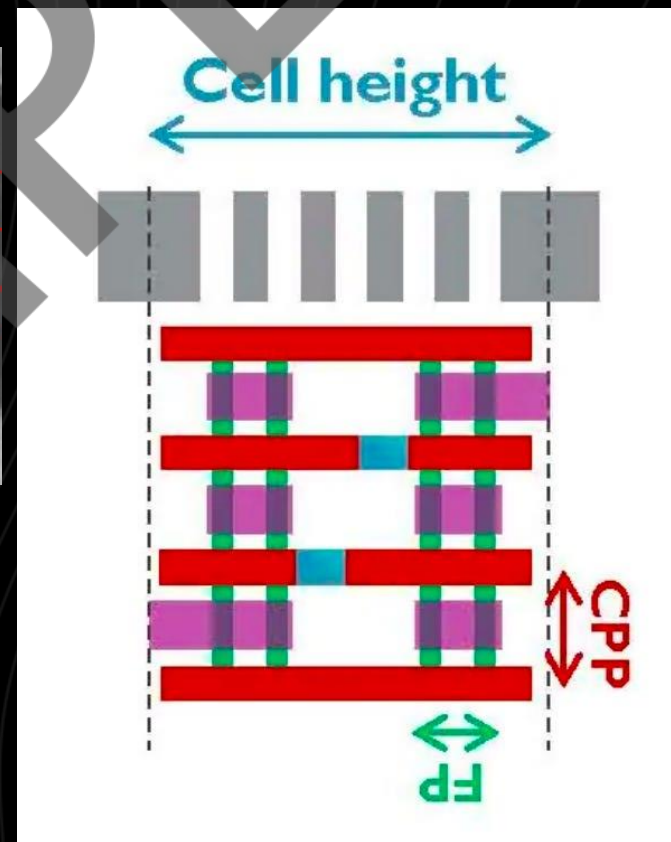
但是他的Metal Pitch很奇怪，为28+30nm，经过换算，其CellH应该为172nm

也就是 $4 \times 28 + 2 \times 30$ ，MMP=28nm，平均下来是28.66nm

详细测绘数据见下图

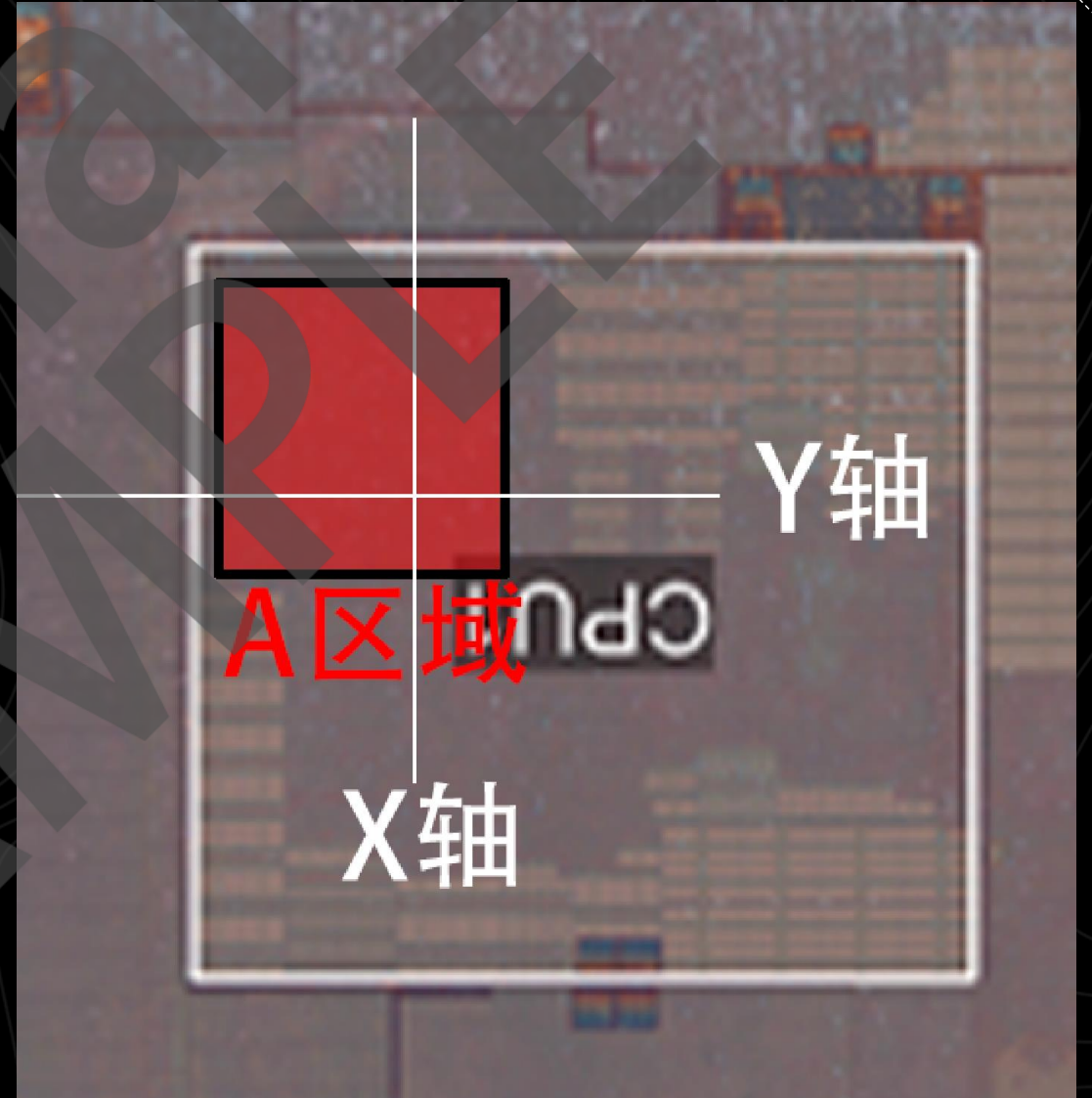
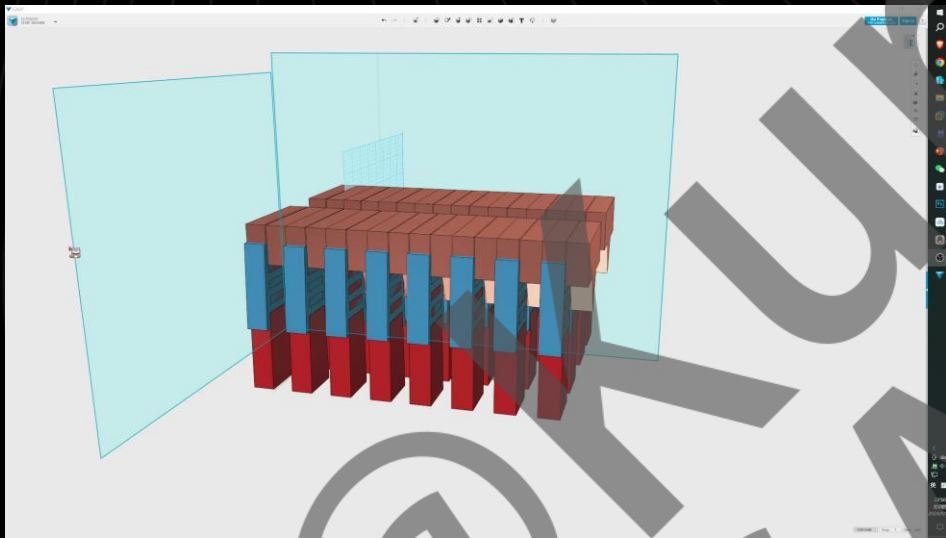


也可以说其Cell H应该是173nm..误差大不大



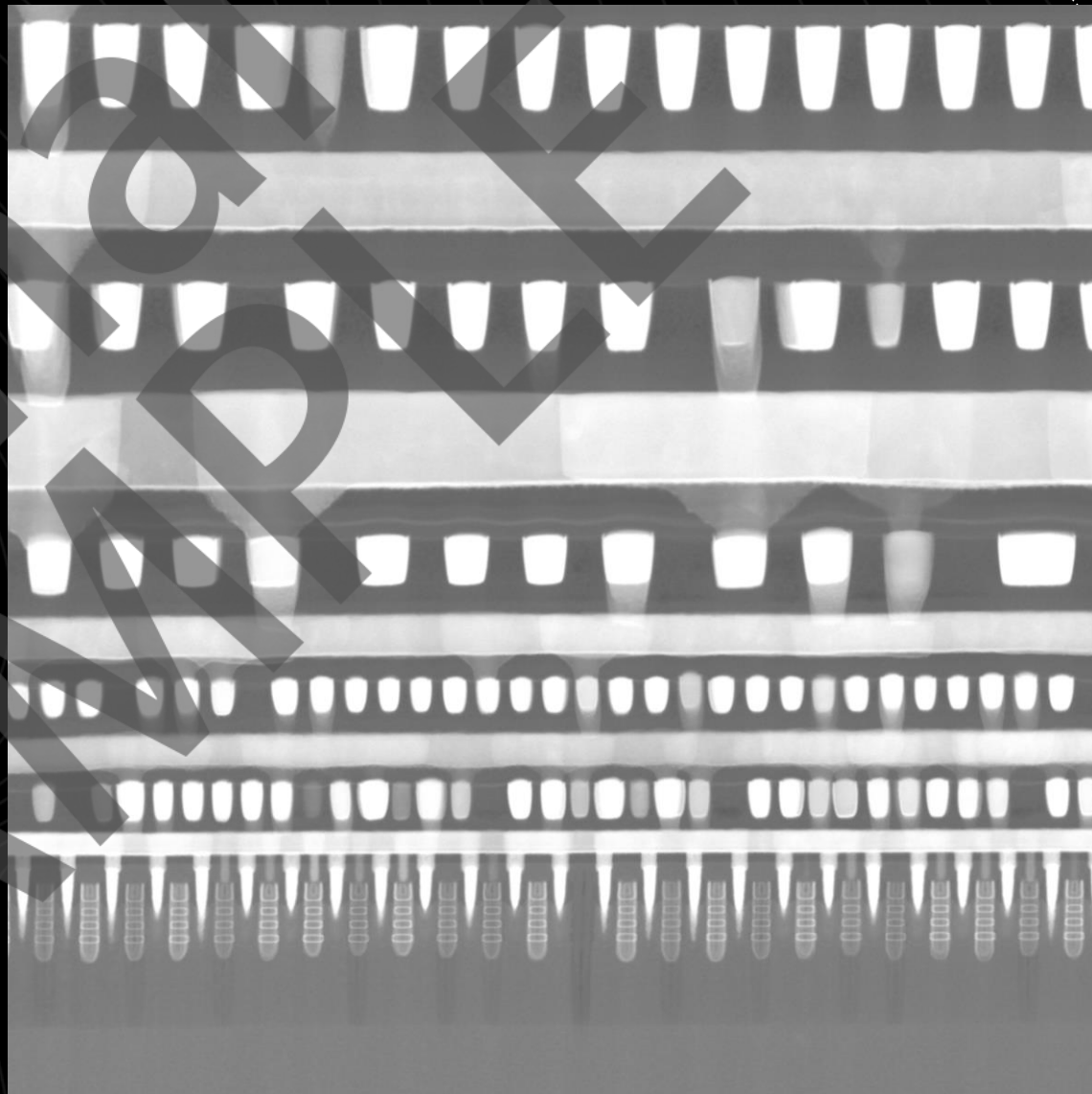
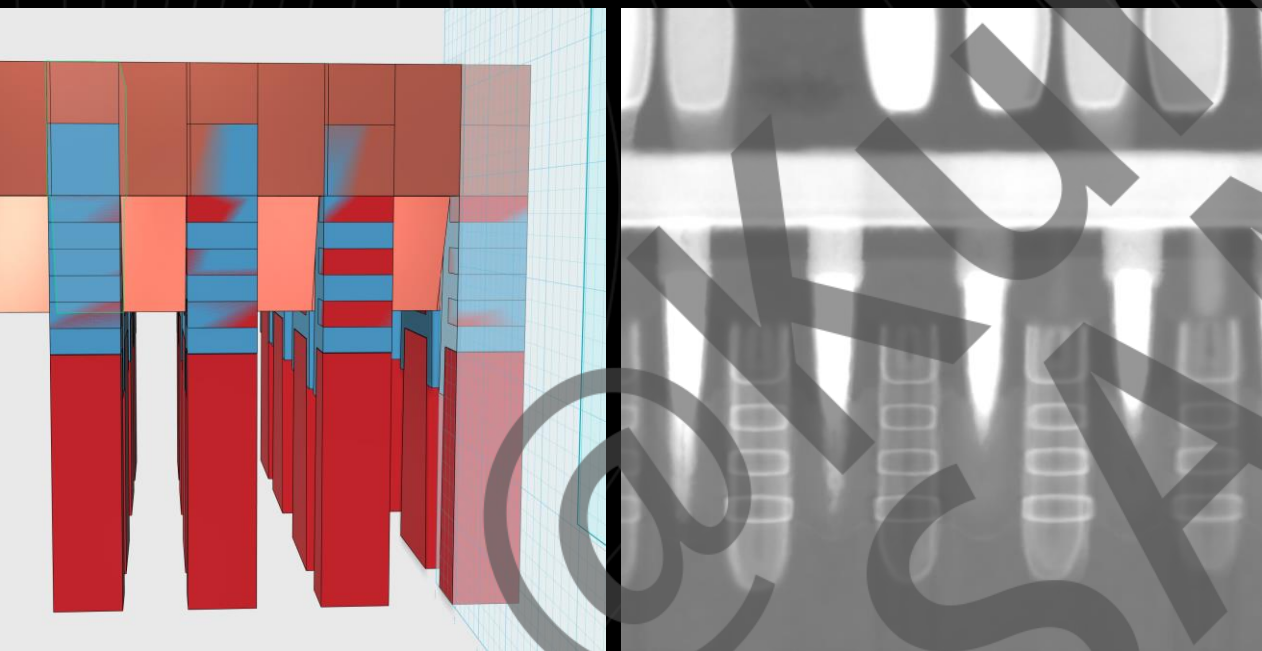
工艺分析-SF3-1AX

分析完1AY轴，于是沿着1AX轴进行切割



工艺分析-SF3-1AX-FEOL

在1AX轴中可以获得很多数据，因为是沿着gate切开

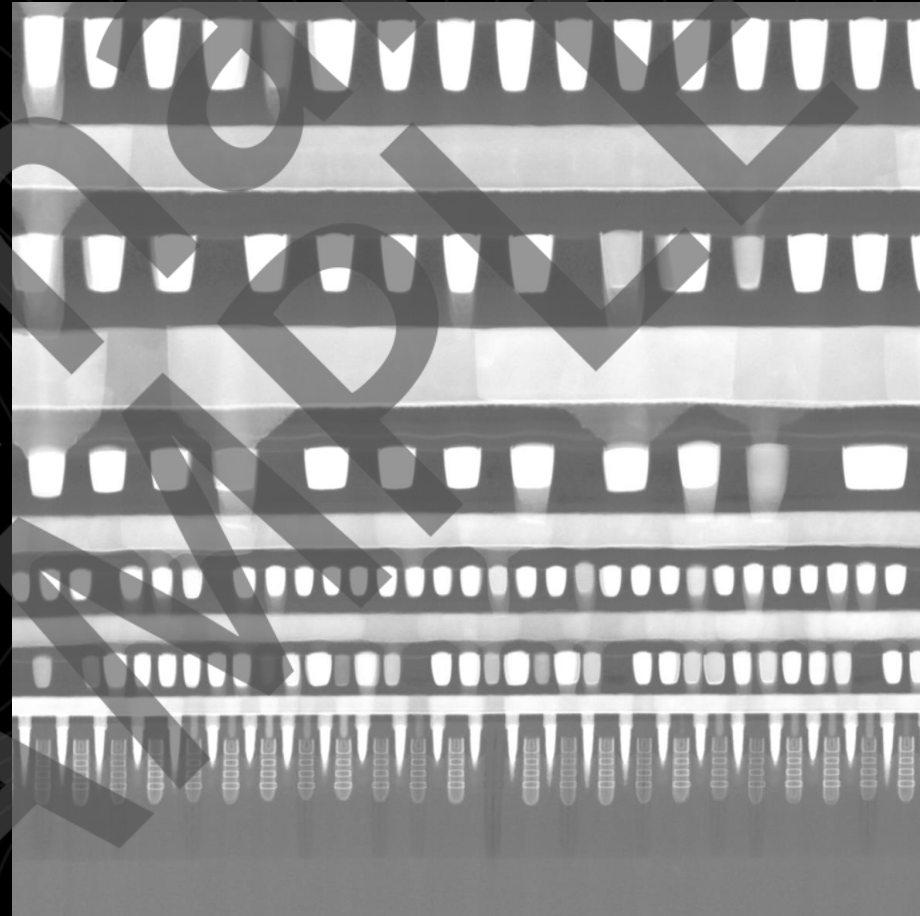
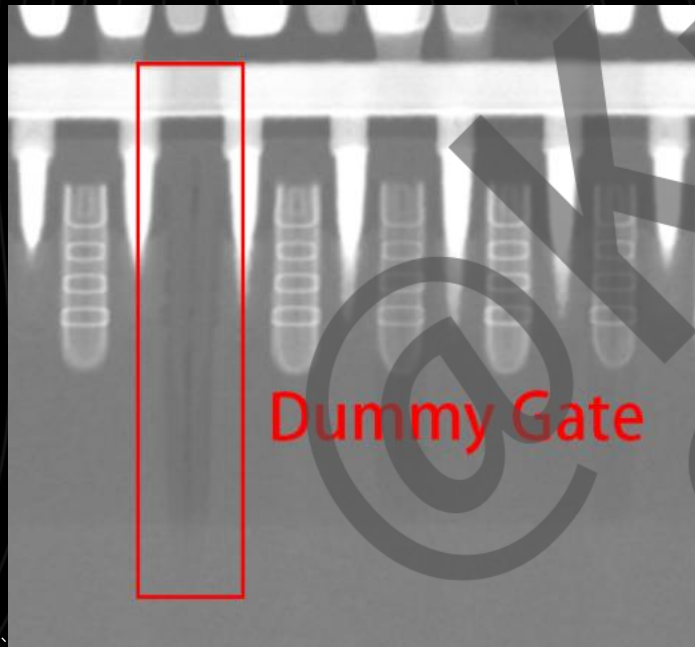


工艺分析-SF3-1AX-FEOL

在这次且各种可以分析出很多数据

例如Dummy Gate

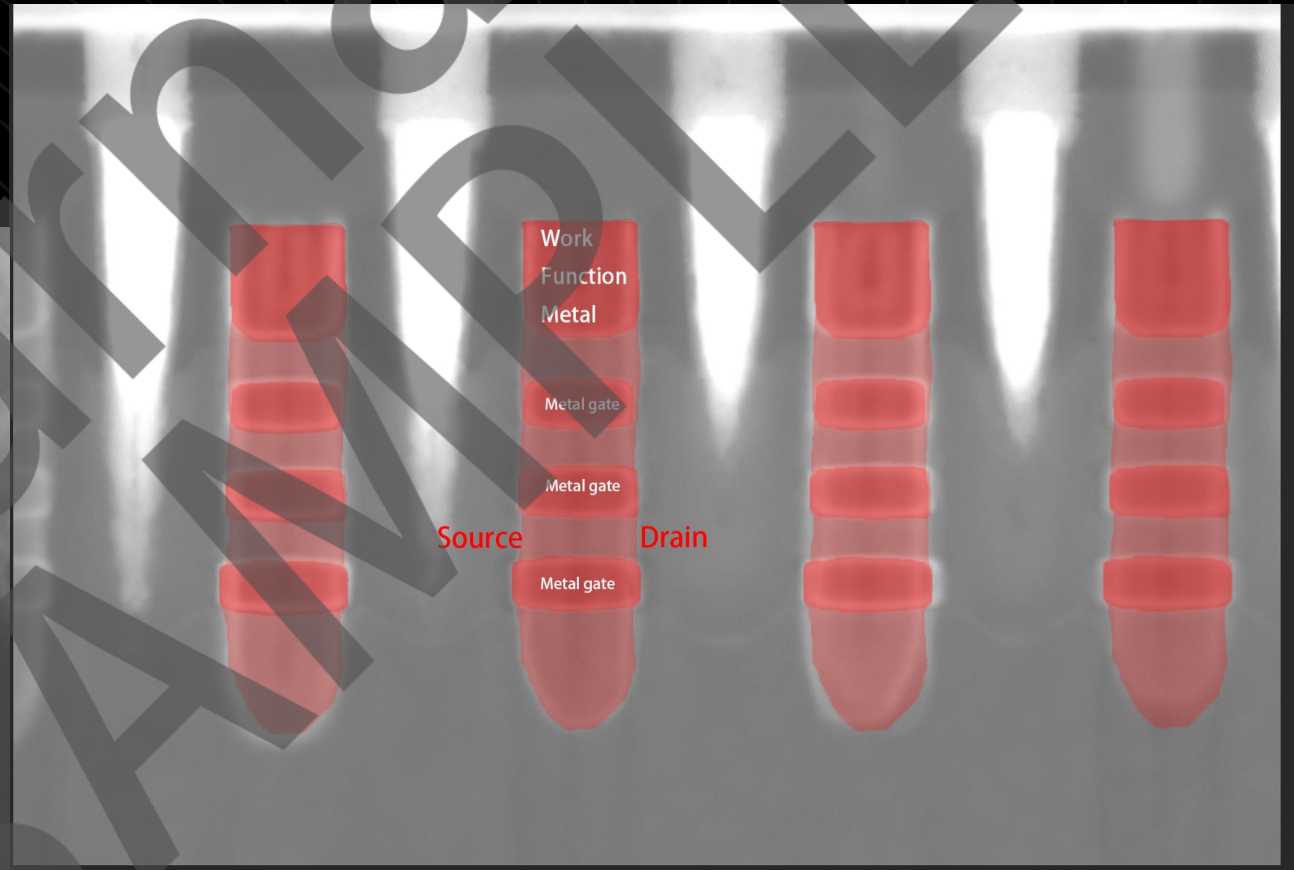
还有COAG，当然这里后面讲了



工艺分析-SF3-1AX-FEOL

首先是其Gate方面

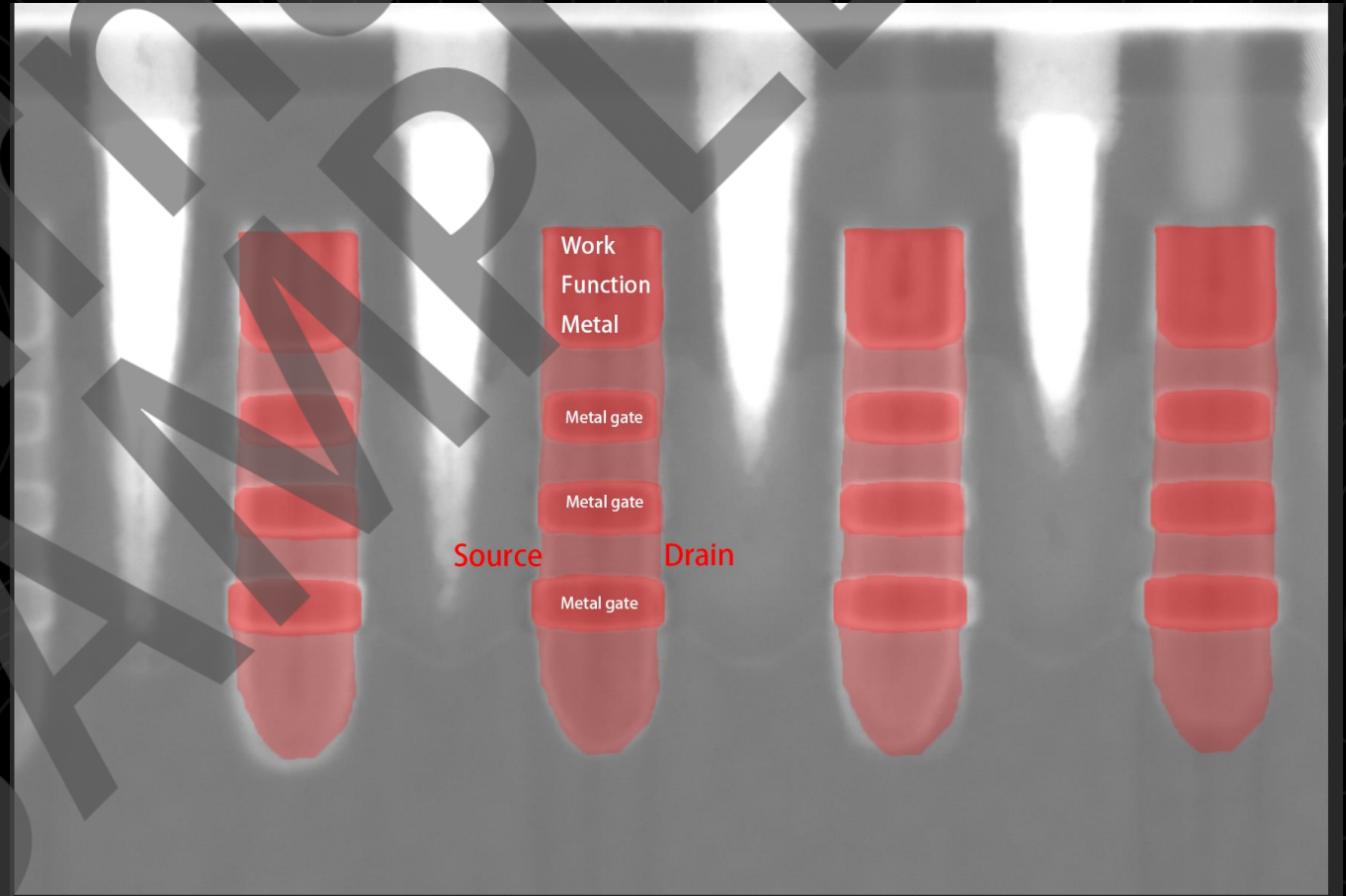
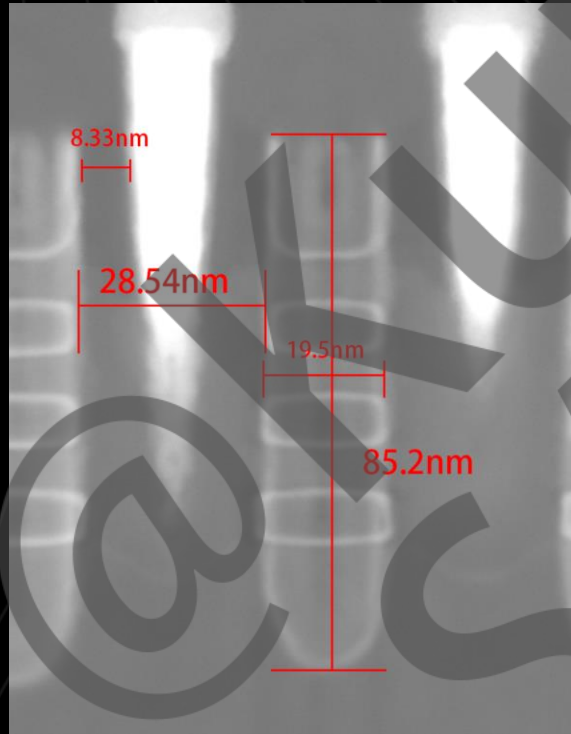
可以很明显的看到其Metal Gate



工艺分析-SF3-1AX-FEOL

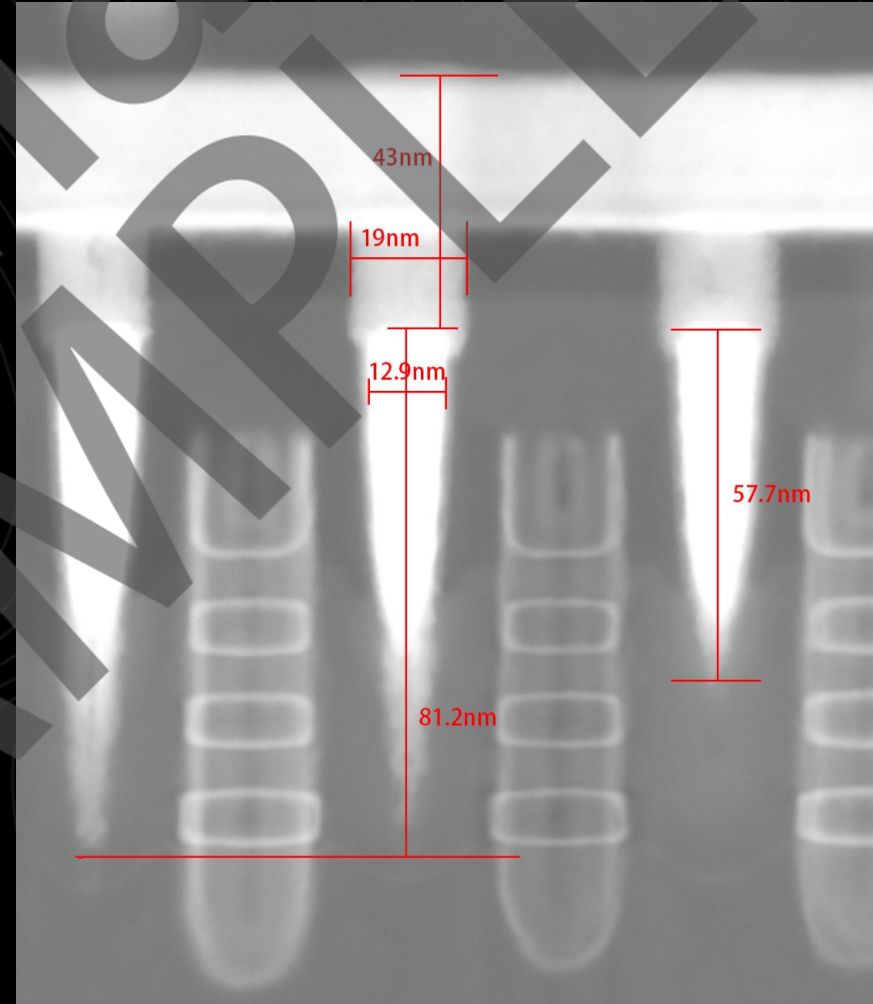
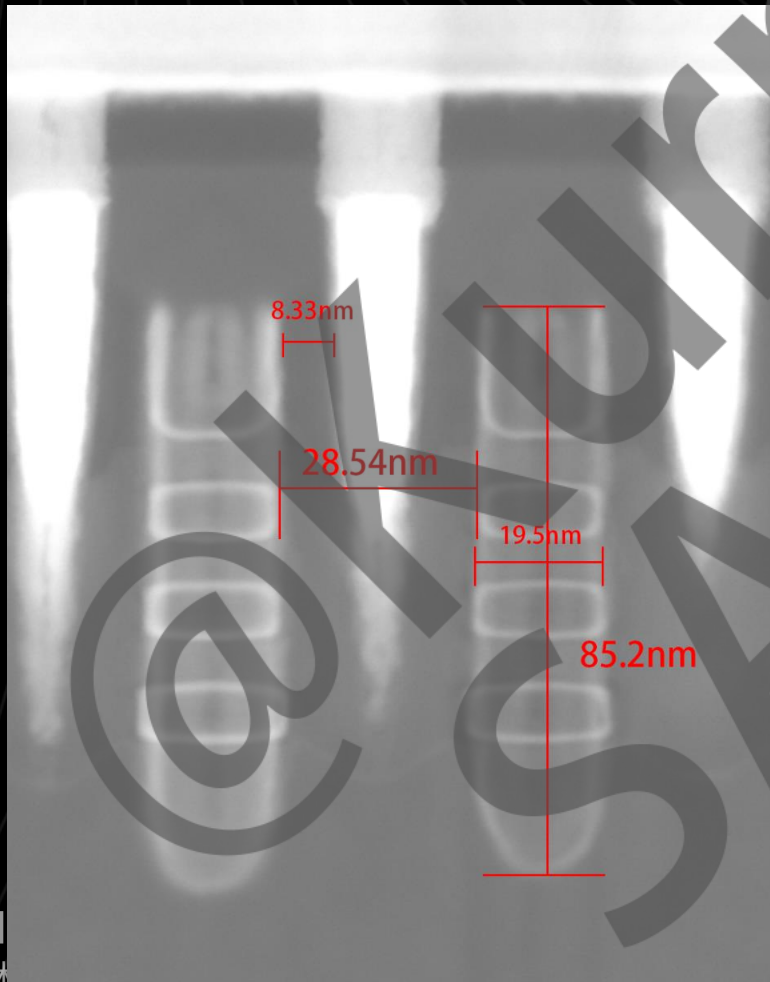
首先是其Gate方面

可以很明显的看出其的Metal Gate



工艺分析-SF3-1AX-FEOL

测量尺寸

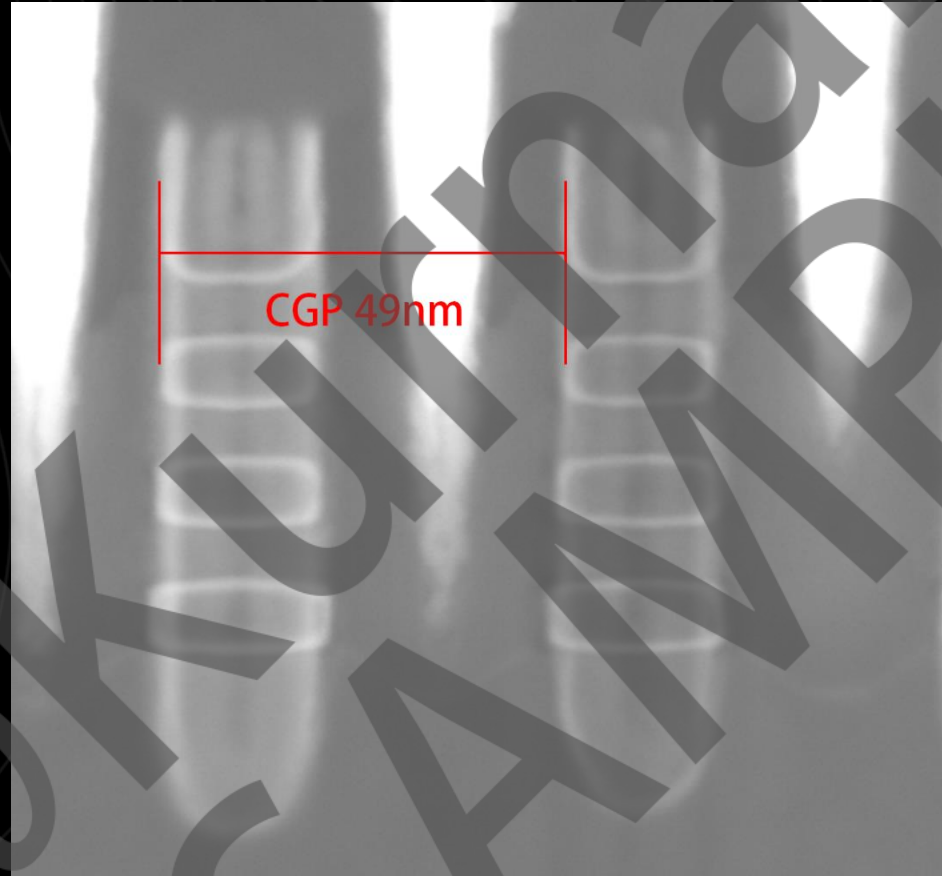


工艺分析-SF3-1AX-FEOL

首先是测绘关键数据

可以得到如下

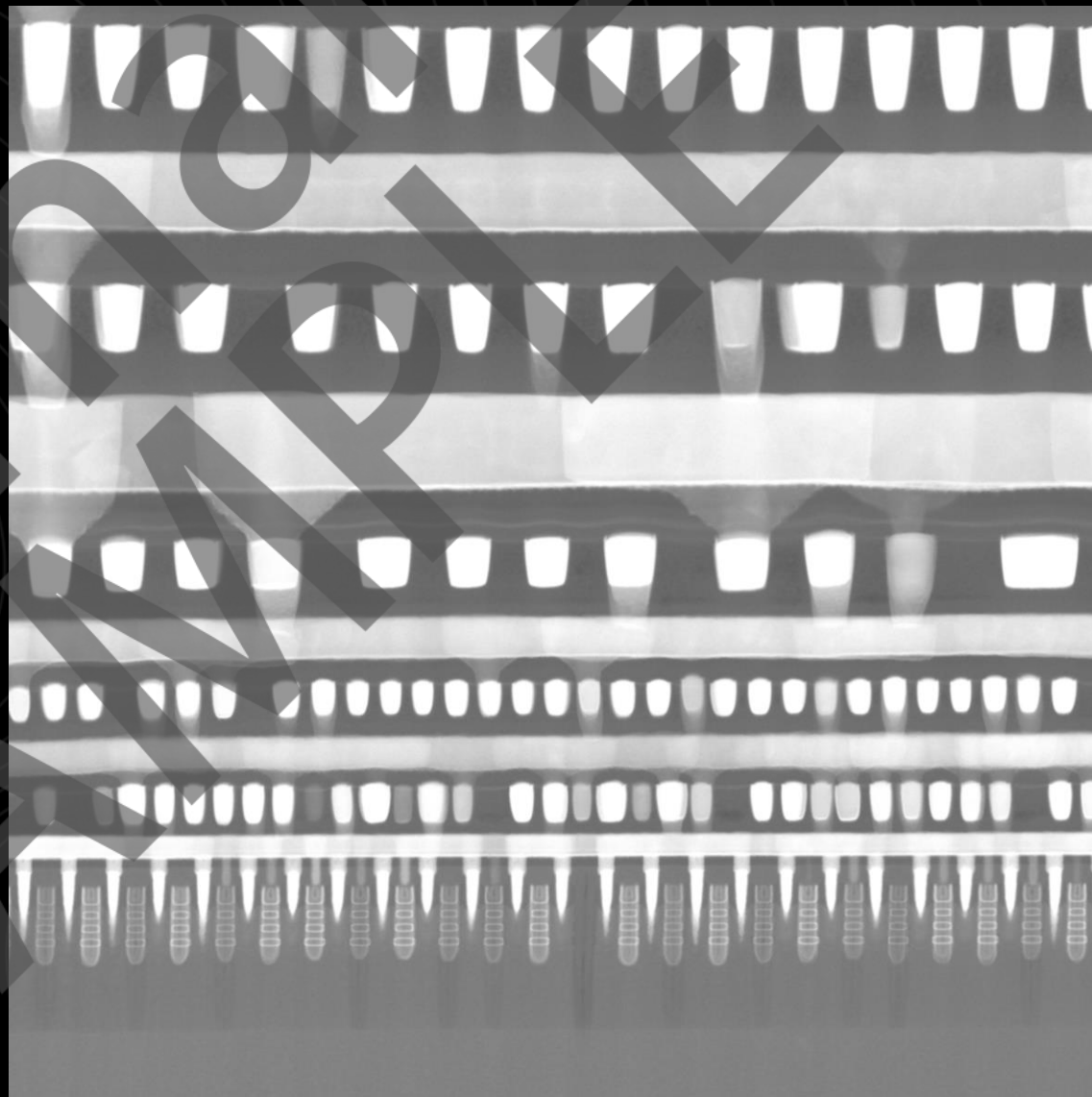
CGP = 49nm



工艺分析-SF3-1AX-FEOL

当然，除此之外

还有特殊的发现就是COAG了

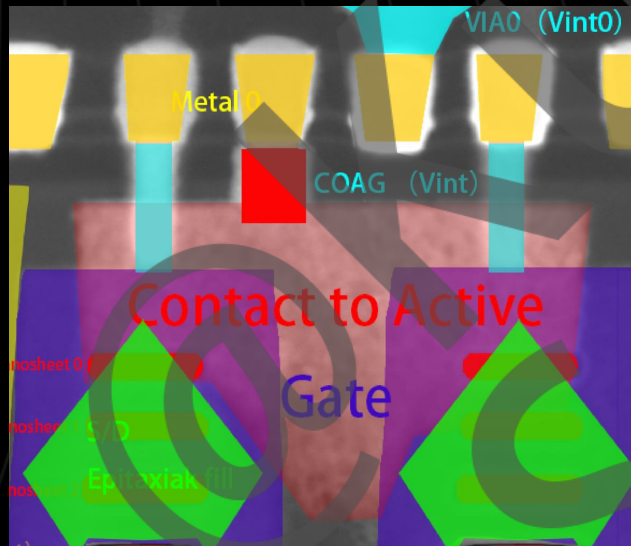
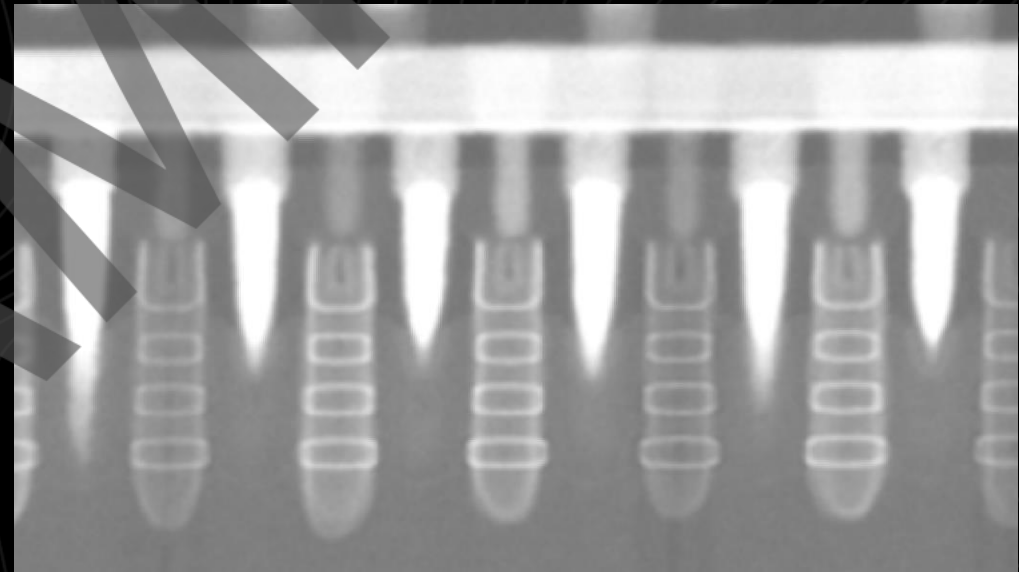
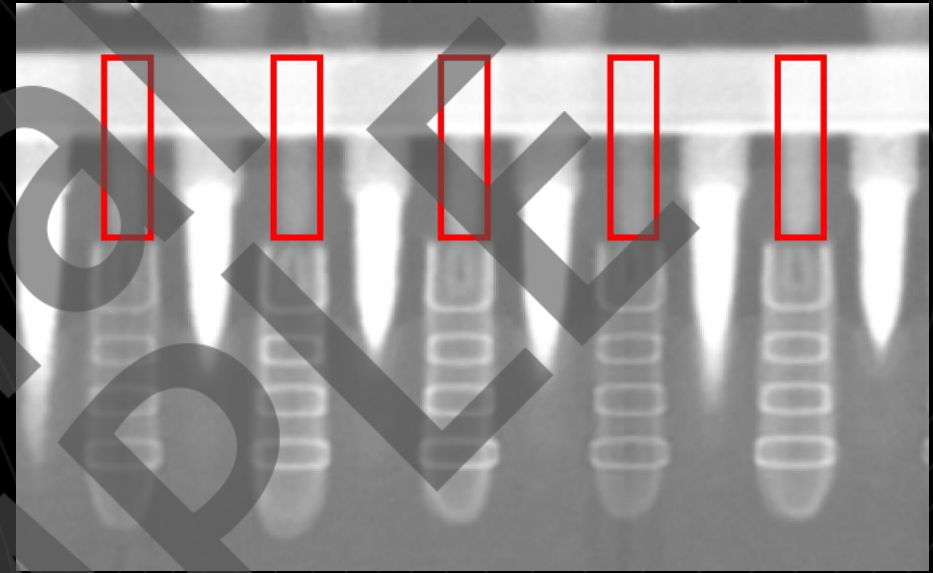


工艺分析-SF3-1AX-FEOL

还有COAG (contact over active gate)

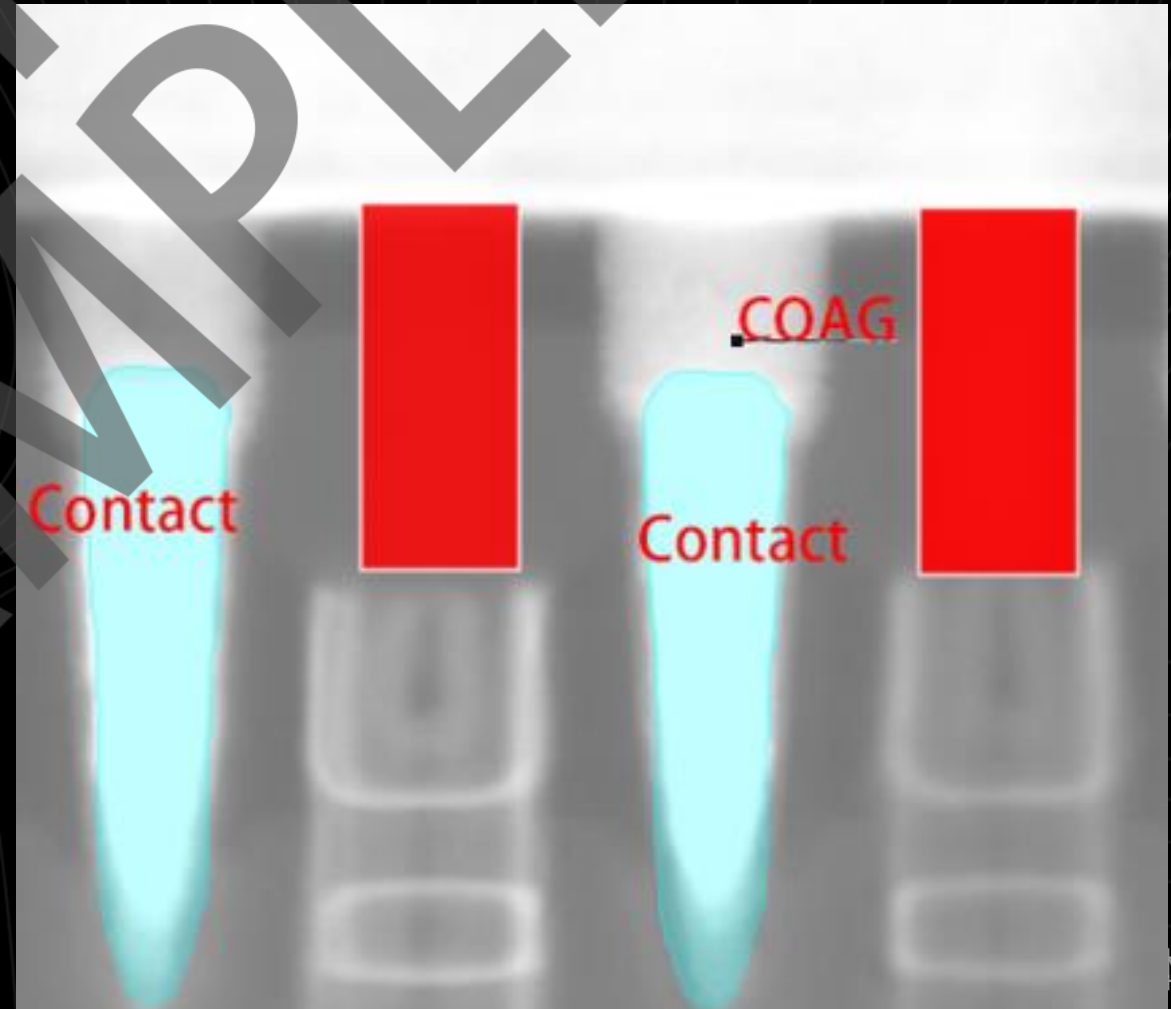
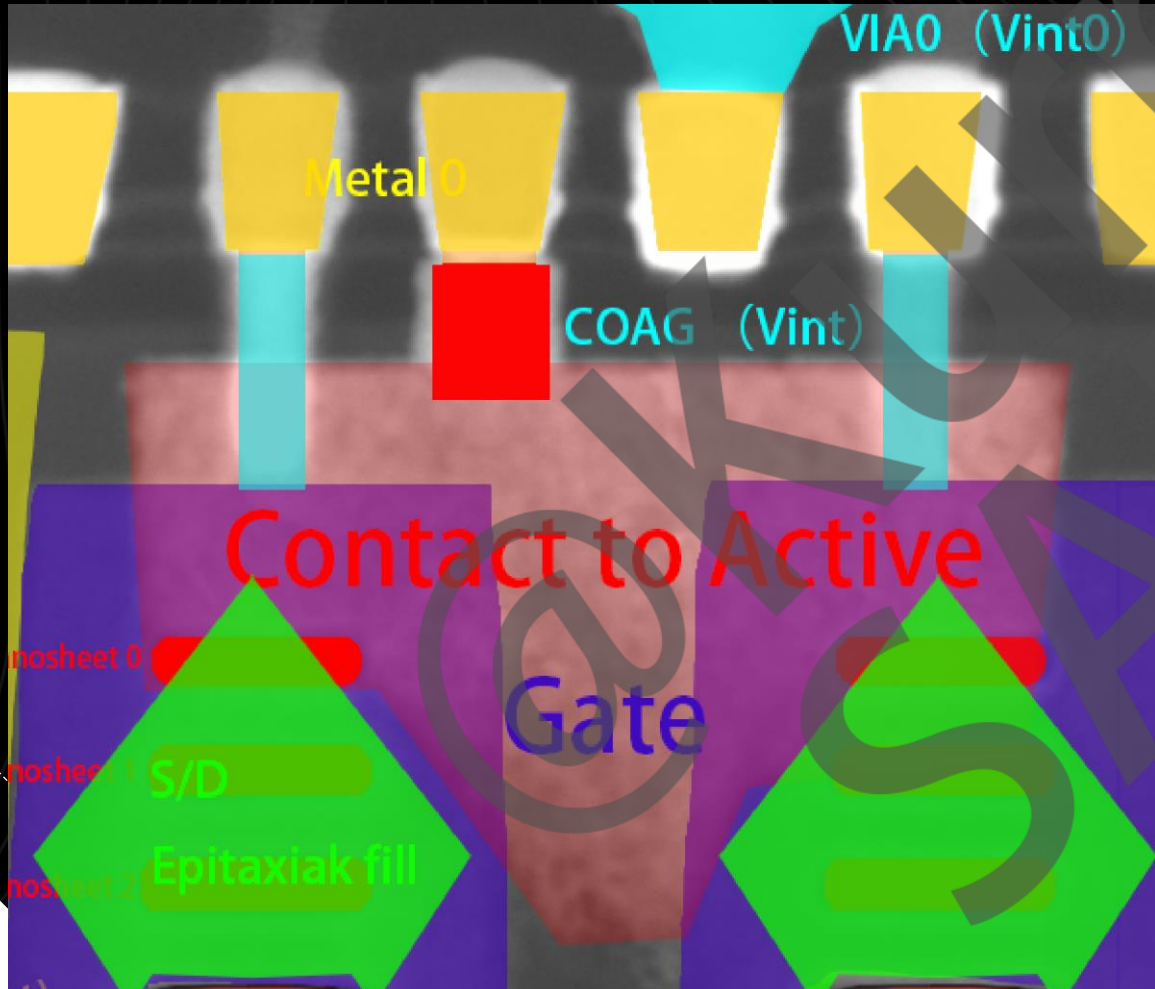
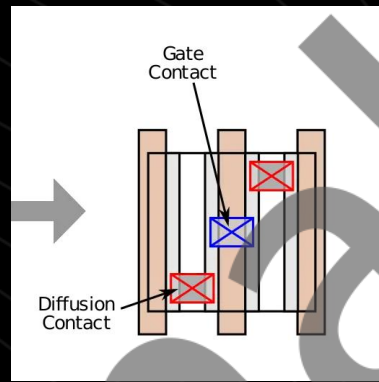
这意味着，从1Y中得到的图的这里就是COAG了 (下)

因为下面直接连接着gate



工艺分析-SF3-1AX-FEOL

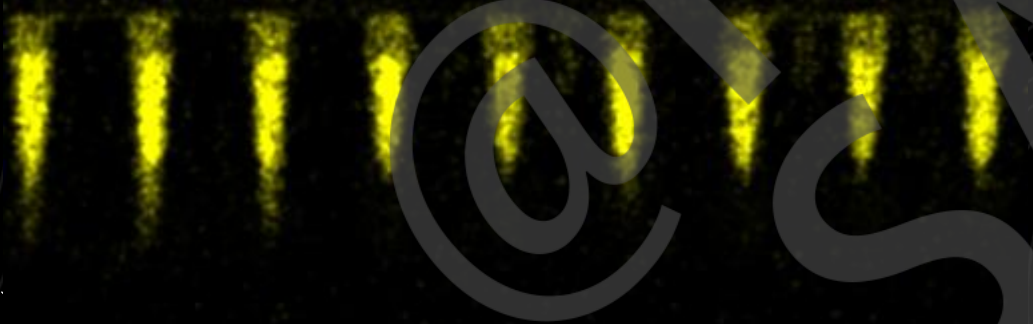
X/Y/Z轴图



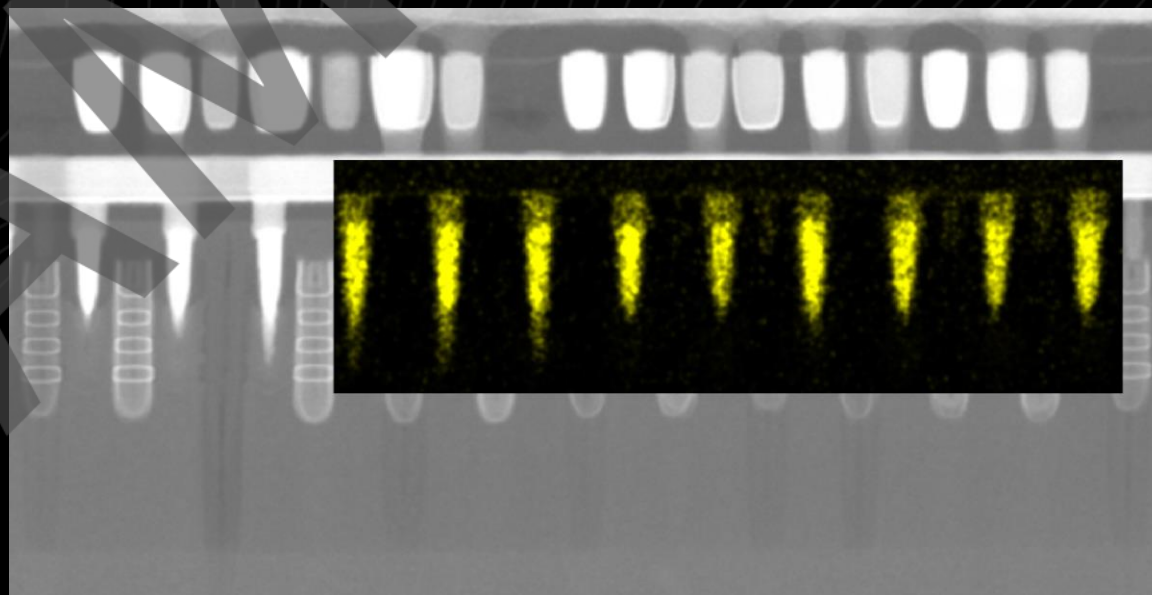
工艺分析-SF3-1AX-FEOL

根据能谱来说，Contact区域采用了W

W

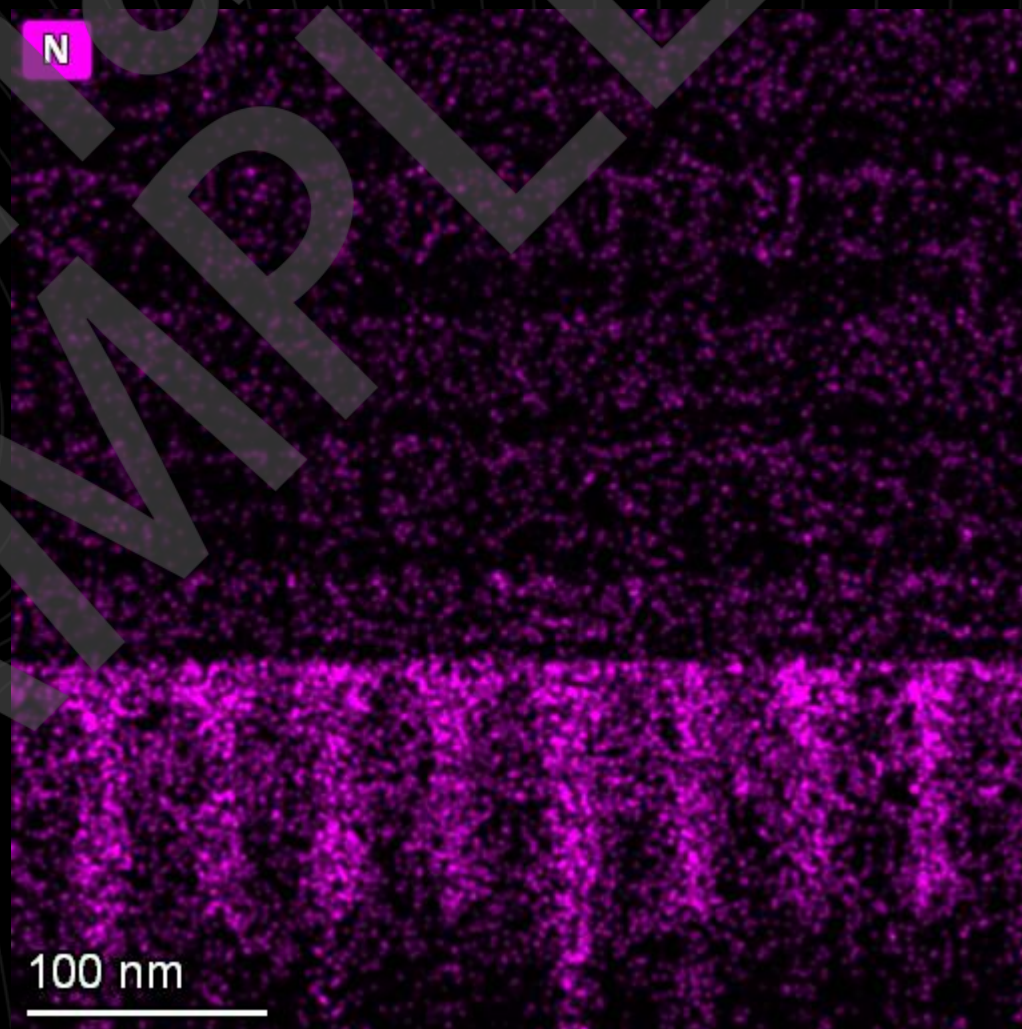
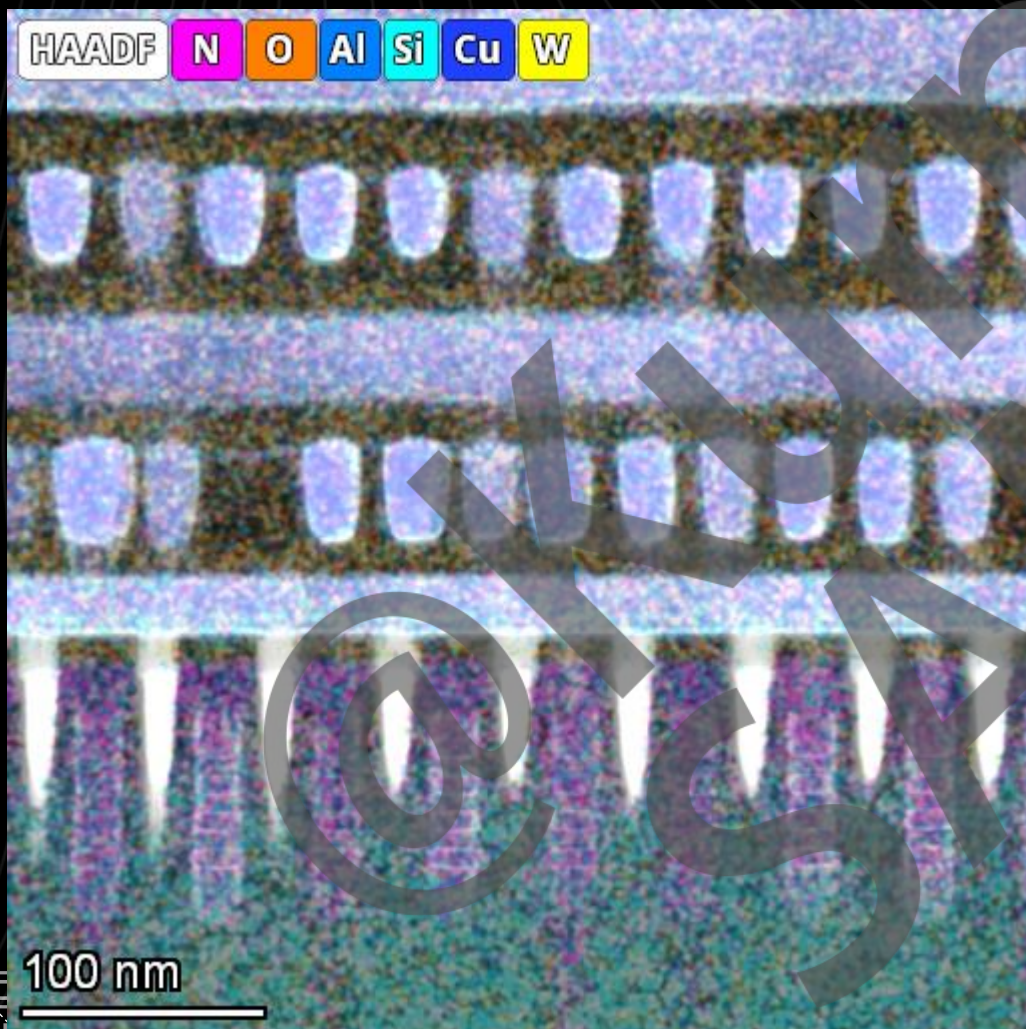


100 nm



工艺分析-SF3-1AX-FEOL

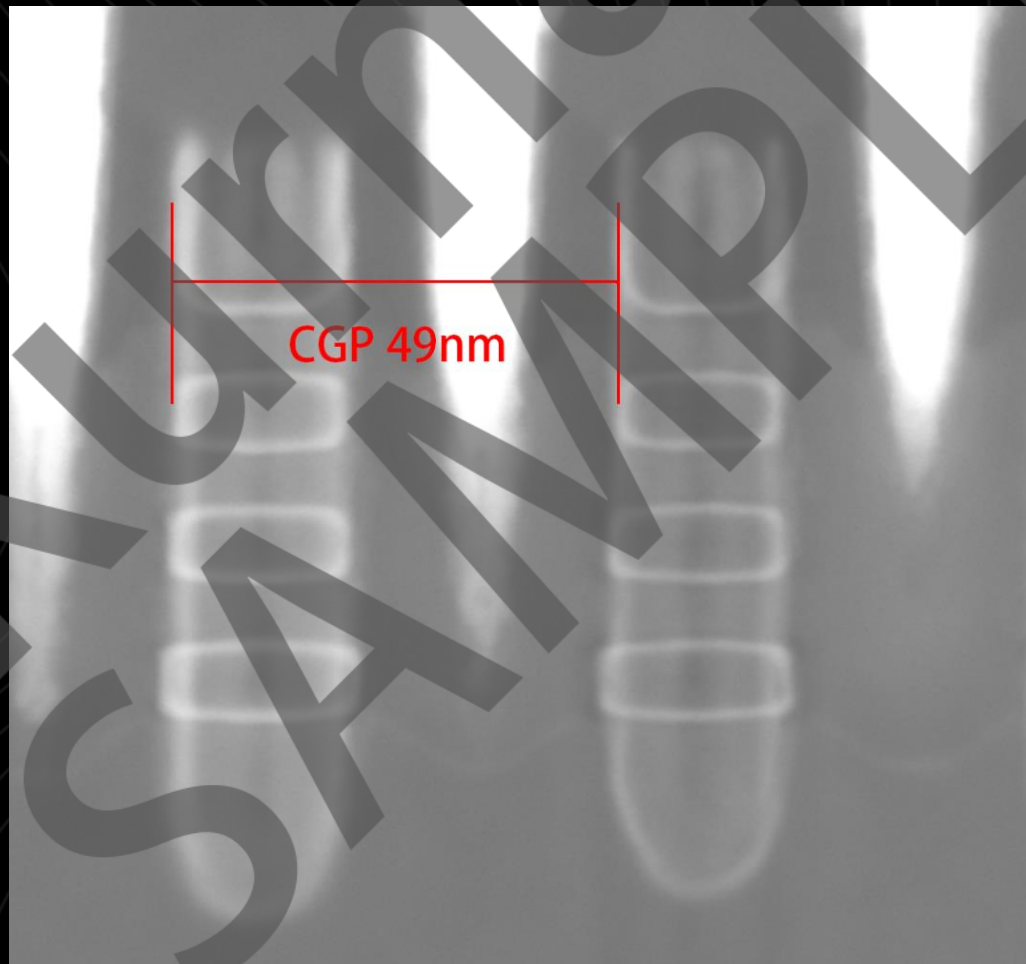
Nanosheet 掺杂疑似N?



工艺分析-SF3 总结

从 1AX 中得知其部分数据 (部分数据见表格)

CGP = 49nm



工艺分析-SF3-计算密度

既然知道了这些数据，就可以计算晶体管密度了

密度影响的条件则是

Cell H (Track=M2P or M0P)

CGP/ CPP, 当然还有DDB和SDB, 但是现在这个是SDB

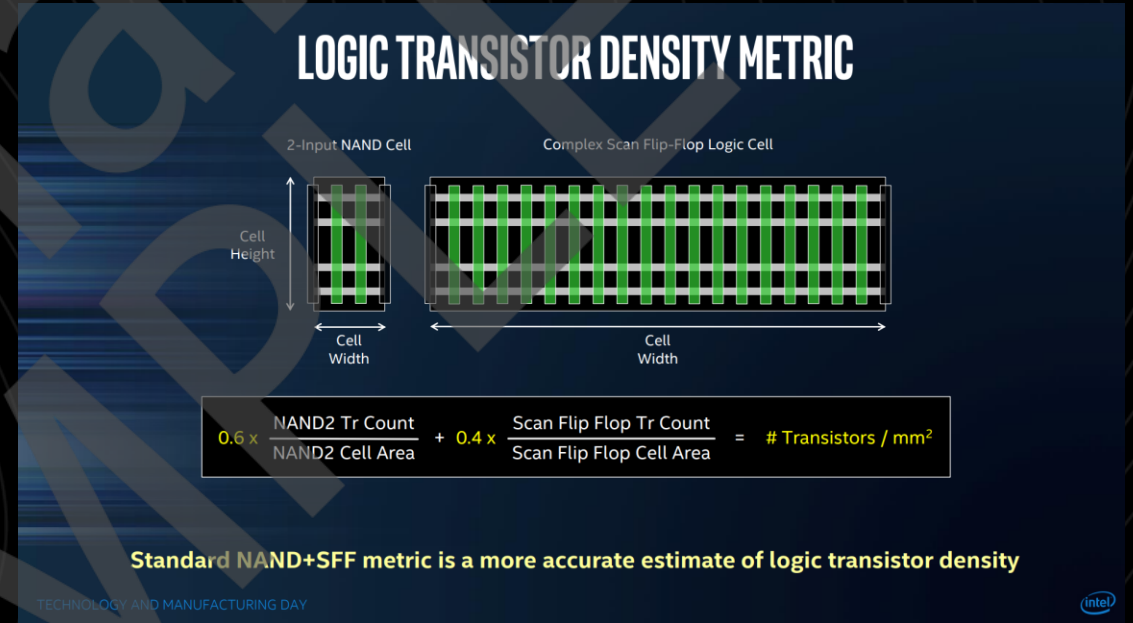
Cell H=172-173nm

CGP=49nm

SDB, 就可以求晶体管密度了

而计算晶体管密度则是根据intel的公式计算的 (Continuing Moore's law)

虽然该公式本质上就是 $Tr/(CH*CGP)$

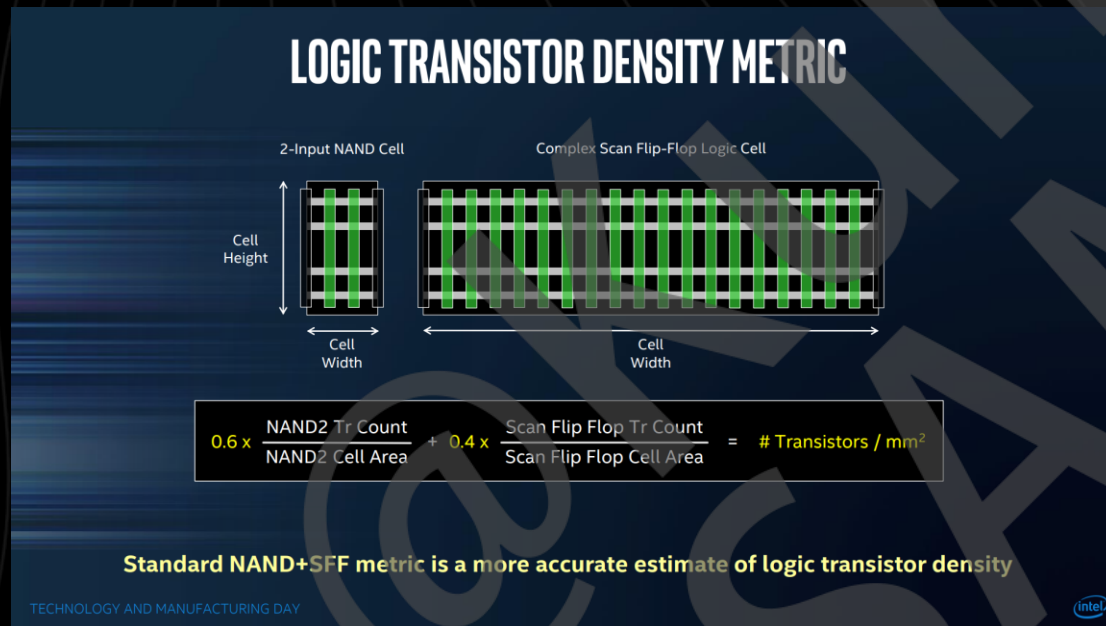


工艺分析-SF3-计算密度

SF3在A78 FP区域采样中的逻辑密度为

$$\text{CH172 G49密度} = (4/172 * 49 * 4) * 10^6 * 0.6 + (32 / (172 * 49 * 20)) * 10^6 * 0.4 = 174.86 \text{ Mtr/mm}^2$$

$$\text{CH173 G49密度} = (4/173 * 49 * 4) * 10^6 * 0.6 + (32 / (173 * 49 * 20)) * 10^6 * 0.4 = 173.85 \text{ Mtr/mm}^2$$



工艺分析-SF3-计算密度

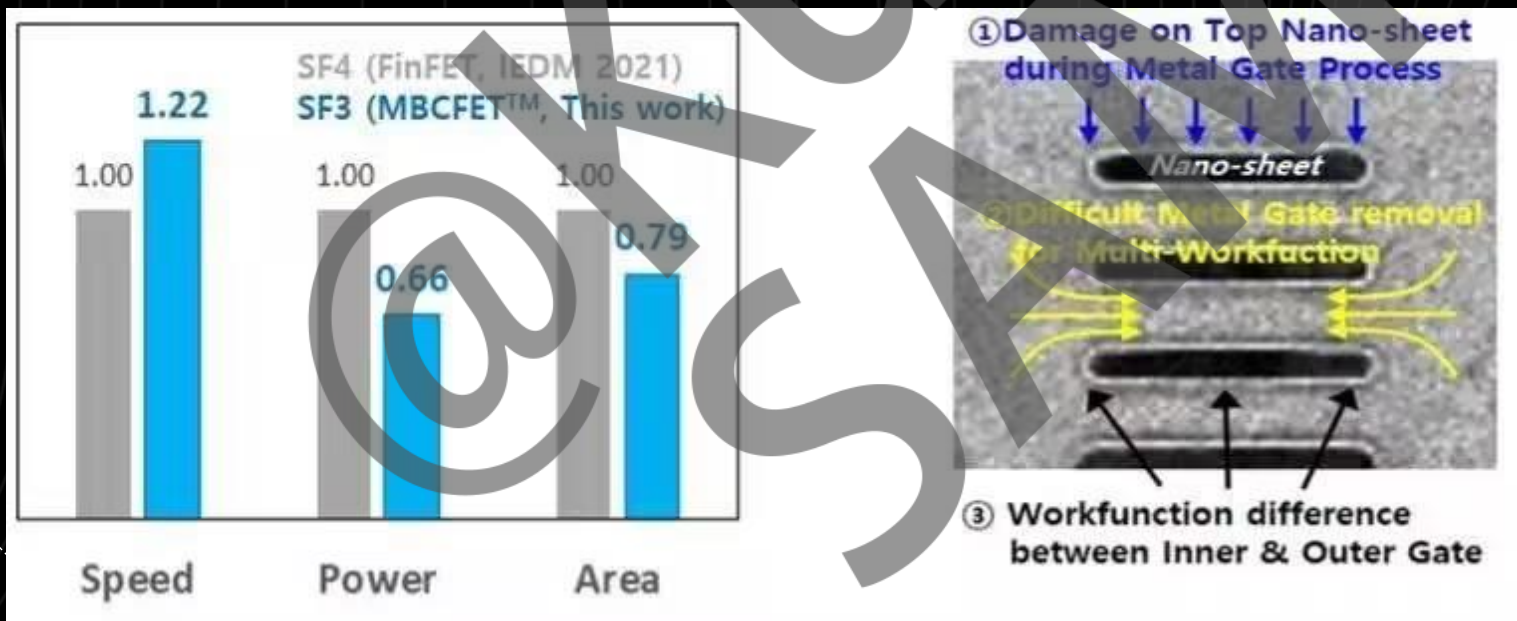
这是什么水平呢，是否满足了SS对自己的期望呢

如果单论PPT来说，上代SF4的密度大概是143Mtr/mm²（? 数据需要验证）

根据PPT则是说 面积缩小了21%， $143/0.79=181\text{Mtr/mm}^2$

而这代的SF3却只有173Mtr/mm²

当然如果SF4密度是137Mtr，那就刚好好了



工艺分析-SF3-计算密度

本世代3nm节点（宣传口径也算..）目前只有三家制造了

TSMC N3 (H169G47)

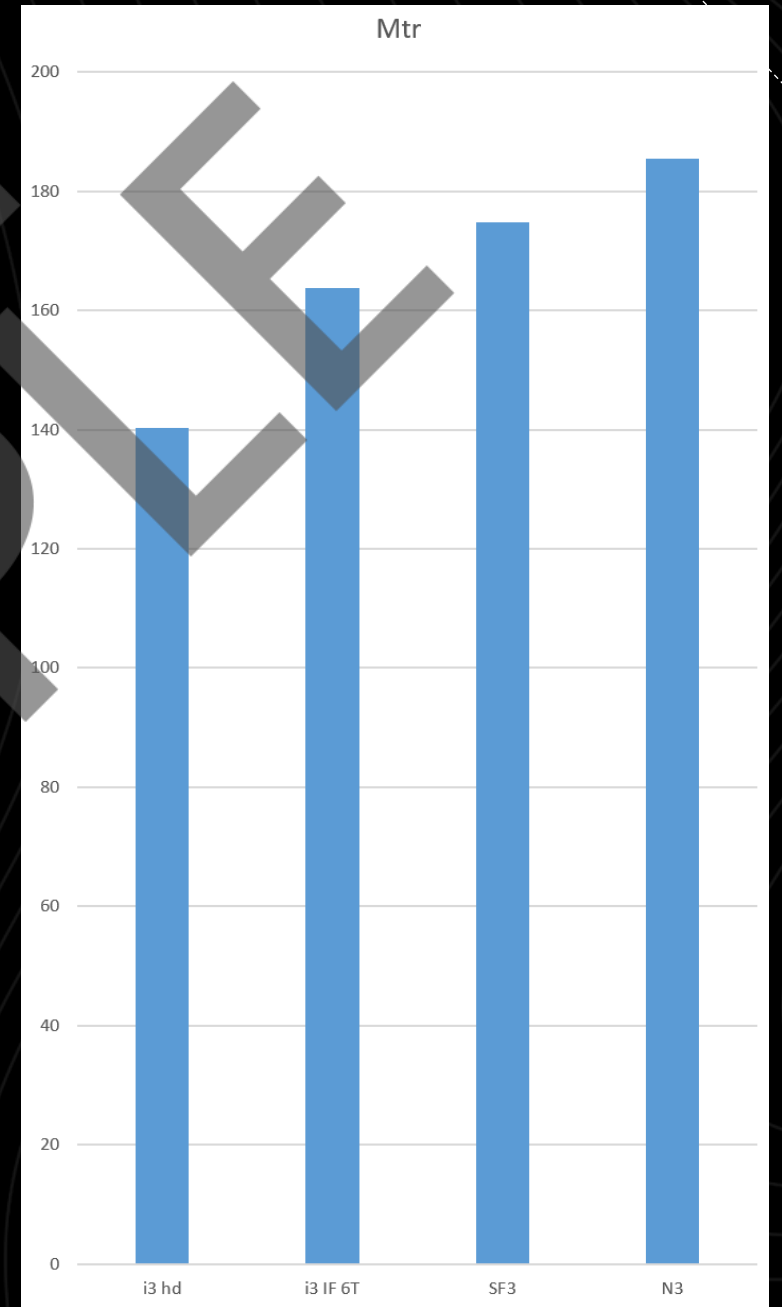
Samsung 3GAE (H172G49)

Intel i3 (H210G50 7Track) (if: 6Track=H180G50)

对比之

恩...首先先把Intel排除吧

	i3 IF 6T	SF3	N3
Cell H	180	172	169
CGP	50	49	48
Mtr	163.74	174.86	185.53



工艺分析-SF3-计算密度

真正的本世代3nm只有两家

三星SF3采用的则是GAA

而TSMC 则是末代Finfet

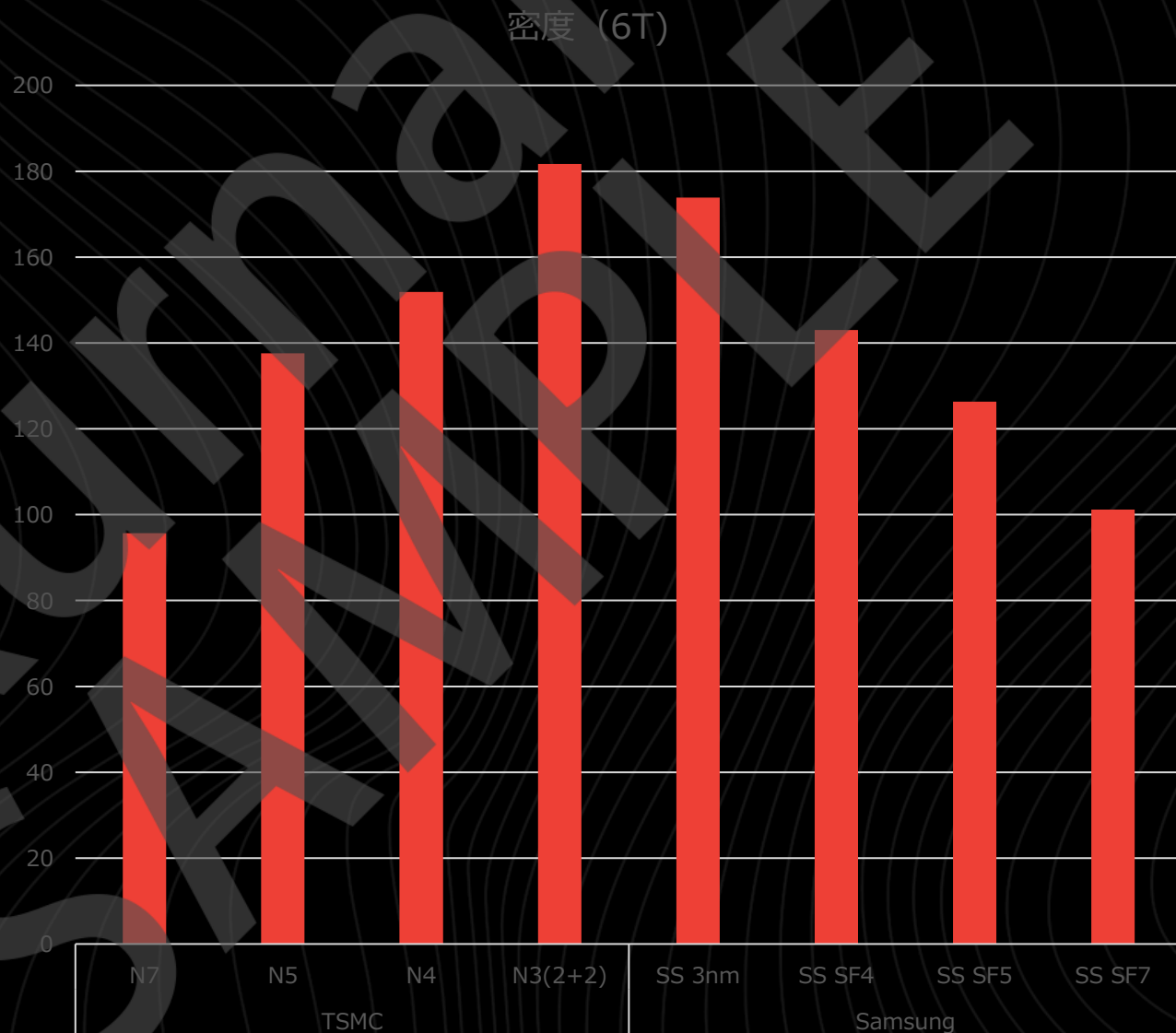
怎么说呢，密度方面三星能保持170Mtr

其实已经很可观了

但是总之是需要造出来的

而不是小尺寸ASIC/手表芯片

该提良率了



工艺分析-SF3-计算密度

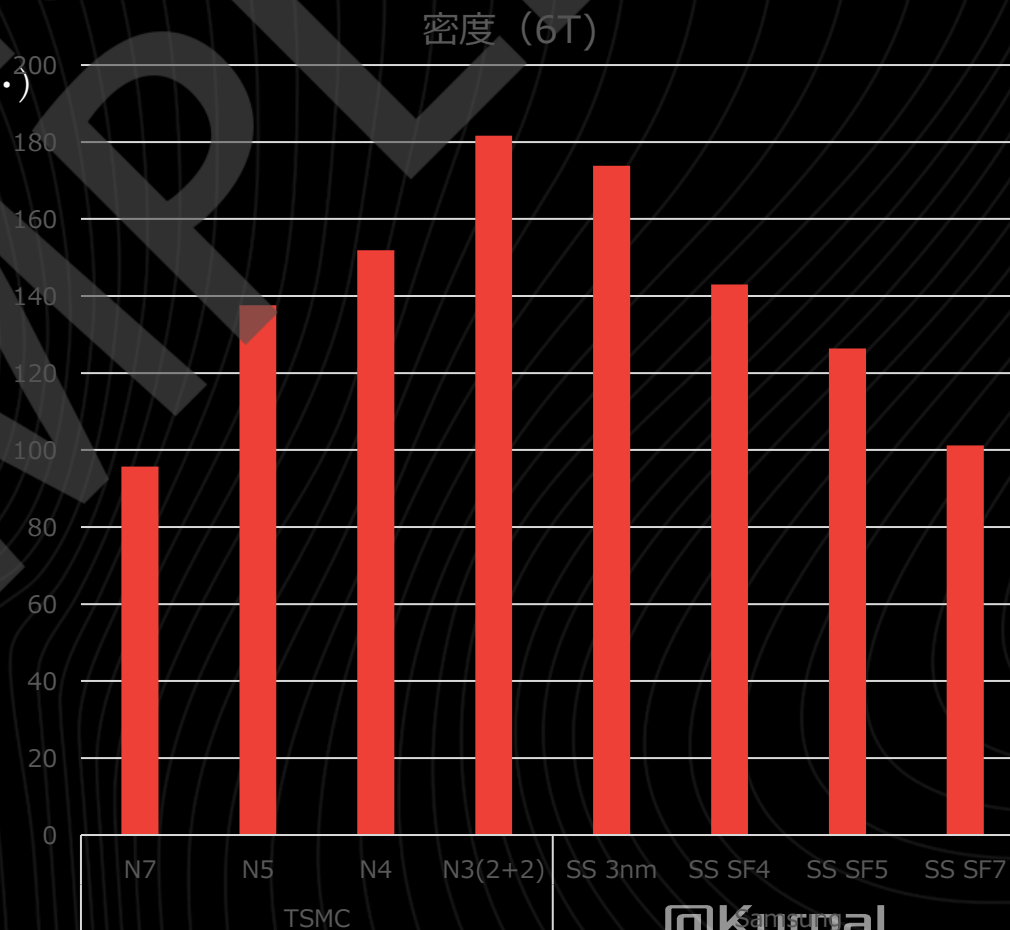
而且三星应该是未来几年内唯二的先进工艺fab了

算下来，每代基本能保持20%的密度提升 (SF7 101, SF5 126, SF3 173)

而且不像TSMC耍滑头 (2+2 1+1 2Cell 平均为2+1, 密度204...)

但是呢，毕竟不能嘴上说说，还是得真的造出来的

在这Finfet的末期，让我们期待TSMC N2的表现吧



工艺分析-SF3-计算密度

当然肯定得谈谈漏电这个话题

漏电这个话题，实际上除了FEOL.MOL层的隧穿导致的静态功耗

还有一点就是BEOL层的寄生电容问题

而Samsung的Metal level其实问题蛮多的，所以话又说回来了

三星这个工艺到底怎么样，我很难给出一个确切的答案

从技术发展角度上来说，这是必定走的一条路，在GOS进展缓慢的情况下

GAA是必定发展的，但是带来的就是更严峻的机台问题，有好肯定有坏

至少三星再也不是…SF5那时候的了



也许是鸣谢？

感谢英短咕咕咕提供的资金帮助

@Kurnal制作

@Kurnal

仙铜半导体研究小团体

@Kurnal

仙铜半导体研究小团体